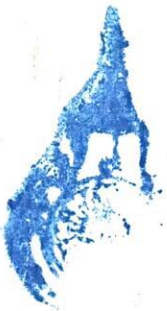
RMUTSV
SK070753



หนังสือนี้เป็นสมบัติของห้องสมุด
มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย
ผู้ใดพบเห็น กรุณาส่งคืน จักขอบคุณ

รายงานการวิจัย

การออกแบบวงจรกรองความถี่ทำงานในโหมดกระแสที่สามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ

A Current Mode Filter with Operate on a Low Voltage Supply

เสนอ สะอาด Saner Sa-ad
ดรุณี ชายทอง Darunee Chaythong

621.38135
ส899
ร554

คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย

ได้รับการสนับสนุนทุนวิจัยจากมหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย
งบประมาณเงินรายได้ประจำปี พ.ศ. 2553

การออกแบบวงจรกรองความถี่ทำงานในโหมดกระแสที่สามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ

เสนอ สะอาด[1] และ ดรุณี ชายทอง[1]

บทคัดย่อ

งานวิจัยนี้นำเสนอวงจรอินทีเกรเตอร์แบบไม่สูญเสียโดยใช้ซีมอสทรานซิสเตอร์ทำงานในโหมดกระแสแบบขยายผลต่างถูกสร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำ สามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำและมีการชดเชยการสูญเสียที่เกิดขึ้นในวงจรอินทีเกรเตอร์ส่งผลให้มีอัตราการขยายสูง วงจรอินทีเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 โดยใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน ที่ความถี่คัตออฟเท่ากับ 200 เมกะเฮิรตซ์ สามารถปรับจูนความถี่ได้ในช่วง 92 - 250 เมกะเฮิรตซ์ นอกจากนั้นวงจรกรองความถี่ยังได้ถูกออกแบบให้สามารถปรับจูนได้อย่างอิสระ ส่งผลทำให้ได้วงจรกรองความถี่ที่มีความแตกต่างกันภายในโครงสร้างวงจรเดียวกัน ดังแสดงให้เห็นในผลการทดลอง เช่น แบบบัตเตอร์เวิทต์และแบบเชบีเชฟ

คำสำคัญ การจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันได วงจรสะท้อนกระแส วงจรอินทีเกรเตอร์แบบขยายผลต่าง วงจรกรองความถี่ทำงานในโหมดกระแส

[1]คณะคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย ต.บ่อยาง อ.เมือง จ.สงขลา

A Current Mode Filter with Operate on a Low Voltage Supply

Saner Sa-ad[1] and Darunee Chaythong[1]

Abstract

A CMOS differential current mode integrator is presented. A current mode tunable integrator is designed based on low input impedance current mirror and can operate under low supply voltage. A high current gain is resulted from the compensation to the loss in this integrator circuit. A prototype 3rd order low pass active filter is then designed based on low sensitivity ladder technique using the proposed integrator. The filter is designed in a standard 0.5 μm CMOS technology to have cutoff frequency of 200 MHz and can be electronically tuned from 92-250 MHz. In addition the filter can be independently tuned and therefore, different types of filter can be achieved in using the same circuit. i.e., Butterworth and Chebyshev filters.

Keywords: simulation of LC ladder filter, Current mirror, differential current mode integrator, current mode filter.

[1]Faculty of Engineering, Rajamangala University of Technology Srivijaya, Amphur Muang, Songkhla.

กิตติกรรมประกาศ

งานวิจัยฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำและคำปรึกษาอาจารย์และเพื่อนคณาจารย์ในหลักสูตรสาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ทุกท่าน ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทุกท่าน และขอขอบพระคุณเป็นอย่างสูง

งานวิจัยชินนี้ได้รับการสนับสนุนทุนวิจัยจากคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย งบประมาณเงินรายได้ประจำปี พ.ศ. 2553

คุณค่าและประโยชน์อันพึงมีมาจากงานวิจัยฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

คณะผู้วิจัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VI

สารบัญรูป.....VII

บทที่ 1 บทนำ..... 1

1.1 ความเป็นมาและความสำคัญของปัญหา..... 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....2

1.3 สมมุติฐานและกรอบแนวความคิดของโครงการวิจัย 3

1.4 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน.....3

1.5 ขอบเขตการวิจัย..... 3

1.6 ขั้นตอนการศึกษา.....3

1.7 ประโยชน์ที่คาดว่าจะได้รับ.....4

บทที่ 2 หลักการทำงานวงจรอินทีเกรเตอร์ในโหมดกระแสและวงจรอินทีเกรเตอร์ที่ถูกนำเสนอมาก่อน.....5

2.1 หลักการทำงานของวงจรอินทีเกรเตอร์.....5

2.2 วงจรอินทีเกรเตอร์แบบเดิมที่ถูกนำเสนอไปแล้ว.....9

บทที่ 3 วงจรอินทีเกรเตอร์ในโหมดกระแสที่นำเสนอ.....19

3.1 วงจรอินทีเกรเตอร์ที่นำเสนอ.....19

3.1.1 การไบอัสวงจรอินทีเกรเตอร์และเงื่อนไขในการปรับจูน.....20

3.1.2 วงจรอินทีเกรเตอร์แบบไม่เป็นอุดมคติ (Practical Integrator).....22

3.1.3 สัญญาณรบกวน (Noise)..... ...27

3.2 ผลการจำลองการทำงานวงจรอินทีเกรเตอร์.....30

3.3 ผลการทำงานของวงจรอินทีเกรเตอร์ที่ออกแบบโดยใช้อุปกรณ์ในท้องตลาด.....37

3.4 บทสรุป.....40

สารบัญ (ต่อ)

หน้า

บทที่ 4 วงจรกรองความถี่ต่ำผ่านทำงานในโหมดกระแส.....41

4.1 กล่าวนำ 41

4.2 ทฤษฎีและหลักการออกแบบจรกรองความถี่ด้วยวิธีการเลียนแบบการทำงาน วงจรกรองความถี่ขั้นบันได.....43

4.2.1 การออกแบบจรกรองความถี่ต่ำผ่าน อันดับที่ 3 แบบจำลองการดำเนินการ.. 44

4.2.2 การสเกลลิ่ง.....46

4.3 วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟ.....48

4.3.1 วงจรกรองความถี่แบบไม่เป็นอุดมคติ.....48

4.3.2 ความไวของวงจรกรองความถี่ (Sensitivity).....51

4.3.3 สัญญาณรบกวนของวงจรกรองความถี่.....54

4.4 การปรับค่าคงตัวเวลาของวงจรกรองความถี่แบบอิสระ.....55

4.5 ผลการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3.....56

4.6 ผลการทำงานของวงจรกรองความถี่ที่ออกแบบโดยใช้อุปกรณ์ในท้องตลาด 62

4.7 บทสรุป.....65

บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ.....66

บรรณานุกรม.....67

ภาคผนวก.....70

ภาคผนวก ก. การออกแบบลายวงจรพิมพ์ (PCB) วงจรอินทีเกรเตอร์และ วงจรกรองความถี่ โดยใช้โปรแกรม PROTEUS.....71

ภาคผนวก ข. การวัดและทดสอบวงจรด้วยออสซิลโลสโคป.....77

ภาคผนวก ค. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....80

ภาคผนวก ง. รายละเอียดข้อมูลเบอร์อุปกรณ์ที่ใช้ในการทดลอง.....88

สารบัญตาราง

ตารางที่ หน้า

3.1 ขนาดมอสทรานซิสเตอร์ของวงจรอินทีเกรเตอร์ที่นำเสนอ..... ...30

3.2 คุณสมบัติของวงจรอินทีเกรเตอร์ที่นำเสนอ.....37

4.1 พารามิเตอร์ที่สำคัญของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรกรองวามถี่.....56

4.2 ขนาดมอสทรานซิสเตอร์ของวงจรอินทีเกรเตอร์ที่ออกแบบวงจรกรองความถี่.....56

4.3 ขนาดตัวเก็บประจุของวงจรกรองความถี่ที่ความถี่คัทออฟมีค่าเท่ากับ 100 MHz.....56

4.4 ขนาดตัวเก็บประจุของวงจรกรองความถี่ที่ความถี่คัทออฟมีค่าเท่ากับ 250 MHz.....57

4.5 คุณสมบัติของวงจรกรองความถี่ที่นำเสนอ.....62

สารบัญรูป

รูปที่ หน้า

2.1 โครงสร้างวงจรอินทีเกรเตอร์แบบไม่สูญเสียทำงานในโหมดกระแส.....5

2.2 วงจรอินทีเกรเตอร์ทำงานในโหมดกระแส.....7

2.3 การตอบสนองทางความถี่และเฟสของอินทีเกรเตอร์แบบไม่สูญเสีย.....7

2.4 วงจรอินทีเกรเตอร์ที่ถูกนำเสนอโดย Durand และคณะ (1996).....10

2.5 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Lee และคณะ (1993) และโดย Zele และคณะ (1996) 12

2.6 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Fujii (1996 and 1998).....13

2.7 วงจรอินทีเกรเตอร์ที่สร้างจากวงจรสายพานกระแส (Sabadell, 1998).....15

2.8 วงจรอินทีเกรเตอร์ที่สร้างจากวงจรสายพานกระแสแบบขยายผลต่าง
ที่ถูกนำเสนอโดย Sabadell (1998).....15

2.9 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Yang และคณะ (2003) 16

2.10 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Smith และคณะ (1996) 16

2.11 วงจรอินทีเกรเตอร์แบบไม่สูญเสียที่ถูกนำเสนอโดย Sa-ad และคณะ (2005).....18

3.1 วงจรอินทีเกรเตอร์แบบขยายผลต่าง.....19

3.2 วงจรเสมือนสัญญาณขนาดเล็กของวงจรอินทีเกรเตอร์ที่นำเสนอ.....22

3.3 ผลการตอบสนองทางความถี่และเฟสวงจรอินทีเกรเตอร์ที่นำเสนอ
เปรียบเทียบระหว่างแบบอุดมคติกับแบบไม่เป็นอุดมคติโดยใช้โปรแกรมแมทแล็ป.....26

3.4 การจำลองแหล่งจ่ายสัญญาณรบกวนของมอสทรานซิสเตอร์.....28

3.5 วงจรเสมือนสัญญาณขนาดเล็กที่รวมผลสัญญาณรบกวนของวงจรอินทีเกรเตอร์ที่นำเสนอ....29

3.6 การตอบสนองความถี่และเฟสของวงจรอินทีเกรเตอร์.....32

3.7 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์.....33

3.8 การตอบสนองความถี่วงจรอินทีเกรเตอร์ เมื่อออกแบบวงจรให้มีความถี่
ที่อัตราการขยายเท่าหนึ่งของวงจรมีค่าเท่ากับ 80 เมกะเฮิรตซ์.....34

3.9 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์ เมื่อปรับเปลี่ยนขนาดของทรานซิสเตอร์
M_{N1}:M_{N3} ให้มีค่าเป็น 1: 1+φ 34

3.10 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์เมื่อปรับกระแสไบอัส ค่าต่างๆ.....35

3.11 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์ เมื่อกำหนดให้ φ มีค่าเท่ากับ 0.1.....35

3.12 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรอินทีเกรเตอร์ที่ขนาดสัญญาณค่าต่างๆ.....36

3.13 สัญญาณรบกวนอินพุต ของวงจรอินทีเกรเตอร์.....36

3.14 วงจรอินทีเกรเตอร์ที่ออกแบบโดยใช้ทรานซิสเตอร์ เบอร์ MC14007ub.....37

สารบัญรูป (ต่อ)

รูปที่ หน้า

3.15 วงจรอินทีเกรเตอร์ที่ใช้ในการทดลองที่ออกแบบ โดยใช้อุปกรณ์จริง.....38

3.16 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์.....38

3.17 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์ที่ความถี่ 10 kHz.....39

3.18 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์ที่ความถี่ 50 kHz.....39

3.19 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์เมื่อปรับกระแสไบอัสค่าต่างๆ.....40

4.1 บล็อกไดอะแกรมวงจรกรองความถี่.....41

4.2 บล็อกไดอะแกรมวงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงานที่มีตัวต้านทานสิ้นสุดคู่.....43

4.3 วงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงาน.....43

4.4 โครงสร้างลีฟฟล็อกวงจรกรองความถี่ทำงานในโหมดแรงดัน.....44

4.5 วงจรกรองความถี่ต่ำผ่านแบบเฉื่อยงาน อันดับที่ 3.....45

4.6 โครงสร้างลีฟฟล็อกของวงจรกรองความถี่ทำงานในโหมดกระแส.....46

4.7 วงจรกรองความถี่ต่ำผ่านอันดับที่ 3 ที่ถูกออกแบบจากวงจรอินทีเกรเตอร์
ที่ถูกนำเสนอในบทที่ 3.....48

4.8 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3
เปรียบเทียบระหว่างแบบอุดมคติ (Ideal) กับแบบไม่เป็นอุดมคติ (Non ideal).....

4.9 การจำลองแหล่งจ่ายสัญญาณรบกวนของวงจรกรองความถี่ที่นำเสนอ.....54

4.10 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิทท์เปรียบเทียบ
กับแบบเชบีเชพ เมื่อปรับจูนกระแสอย่างอิสระ.....58

4.11 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....58

4.12 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ
(ความถี่คัทออฟมีค่าเท่ากับ 100 MHz) 59

4.13 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ.....59

4.14 ผลการตอบสนองทางเวลาของวงจรกรองความถี่.....60

4.15 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ
(ความถี่คัทออฟมีค่าเท่ากับ 250 MHz) 61

4.16 สัญญาณรบกวนอินพุตของวงจรกรองความถี่.....61

4.17 วงจรกรองความถี่ที่ออกแบบจากวงจรอินทีเกรเตอร์โดยใช้ทรานซิสเตอร์
เบอร์ MC14007ub.....64

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.18 วงจรกรองความถี่ที่ใช้ในการทดลองที่ออกแบบ โดยใช้อุปกรณ์จริง 64

4.19 ผลการตอบสนองทางเวลาของวงจรกรองความถี่แบบแอกทีฟที่ออกแบบจากทรานซิสเตอร์เบอร์ MC14007ub ออกแบบให้มีความถี่คัทออฟมีค่าเท่ากับ 10 kHz.....64

4.20 การตอบสนองความถี่ของวงจรกรองความถี่เมื่อปรับกระแสไบอัสค่าต่างๆ.....65

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในการออกแบบวงจรอิเล็กทรอนิกส์แบบแอนาลอกให้มีประสิทธิภาพสูงปัจจุบันทำได้ยาก อันเนื่องมาจากแหล่งจ่ายไฟมีขนาดต่ำลงมาก ส่งผลให้การออกแบบวงจรให้มีความเป็นเชิงเส้นสูงและช่วงการเปลี่ยนแปลงความถี่ที่กว้างมีความยากลำบากมากขึ้น เพื่อแก้ปัญหาดังกล่าวจึงมีการออกแบบวงจรแอนาลอก โดยจะเน้นถึงการประมวลผลสัญญาณเป็นกระแสมากกว่าที่จะเป็นสัญญาณแรงดัน ทั้งนี้เนื่องจากสัญญาณกระแสที่รับเข้ามาจะไม่ถูกลดทอนมาก เช่น วงจรทำงานในโหมดกระแส (Toumazou, et al., 1990) สามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำและมีการสูญเสียกำลังงานต่ำ นอกจากนี้วงจรที่ทำงานในโหมดกระแสยังมีการตอบสนองความถี่มีค่าใกล้เคียงกับค่าความถี่ส่งผ่านขนาดเล็ก (transition frequency: f_T)

ระบบอิเล็กทรอนิกส์และระบบการสื่อสารโทรคมนาคมได้เข้ามามีบทบาทสำคัญในชีวิตประจำวัน พารามิเตอร์ที่สำคัญที่สุดอย่างหนึ่งของสัญญาณคือการจัดองค์ประกอบทางความถี่หรือ สเปคตรัมของสัญญาณ เพื่อให้ระบบเหล่านี้ทำงานได้ถูกต้องและมีประสิทธิภาพ จำเป็นต้องมีวงจรจัดองค์ประกอบทางความถี่หรือวงจรกรองความถี่ เพื่อทำหน้าที่เลือกความถี่ต้องการและกำจัดความถี่ที่ไม่ต้องการ วงจรกรองความถี่แบบเชิงเส้นต่อเนื่องทางเวลา สามารถแบ่งได้ตามลักษณะของอุปกรณ์ที่ใช้คือ วงจรกรองความถี่แบบพาสซีฟ (passive filter) และวงจรกรองความถี่แบบแอคทีฟ (active filter) วงจรกรองความถี่แบบพาสซีฟประกอบไปด้วยตัวต้านทาน ตัวเก็บประจุและขดลวดเหนี่ยวนำ วงจรจรกรองความถี่ประเภทนี้สามารถใช้งานได้ตั้งแต่สัญญาณไฟตรงไปจนถึงย่านความถี่สูง วงจรกรองความถี่แบบแอคทีฟเป็นวงจรกรองความถี่ที่ใช้อุปกรณ์แอคทีฟทำงานร่วมกับตัวต้านทานและ/หรือตัวเก็บประจุ โดยปกติแล้ววงจรกรองความถี่แบบแอคทีฟถูกออกแบบสร้างขึ้นมาจากอุปกรณ์ออปแอมป์ อย่างไรก็ตาม วงจรกรองความถี่ดังกล่าวไม่เหมาะที่จะนำมาใช้งานที่ความถี่สูงเนื่องจากข้อจำกัดของออปแอมป์ ปัจจุบันวงจรกรองความถี่มักถูกออกแบบให้มีลักษณะเป็นแบบแอคทีฟโดยอยู่ในภาพแบบวงจรรวม (Integrated Circuit : IC)

ในช่วงหลายสิบปีที่ผ่านมาวงจรกรองความถี่แบบแอคทีฟที่มีความถี่คัตออฟในย่านความถี่สูงถูกนำมาประยุกต์ใช้งานหลากหลาย เช่น การวัด เครื่องมือวัด การประมวลผลสัญญาณเสียง การประมวลผลสัญญาณภาพ ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคมและโดยเฉพาะอย่างยิ่งกับอุปกรณ์ไมโครอิเล็กทรอนิกส์ชนิดไร้สาย (Khorramabadi and Gray, 1984; Park and Schauman, 1988; Gopinathan, et al., 1990; Nauta, 1992; Hwang et al., 2008; Tangsrirat et al., 2003) วงจรพื้นฐานที่สำคัญที่ใช้ในการออกแบบวงจรกรองความถี่คือวงจรอินทีเกรเตอร์ วงจรกรองความถี่ทำงานในย่านความถี่สูงแบบแอคทีฟถูกออกแบบโดยใช้วิธี (ก) การ

1.3 สมมุติฐานและกรอบแนวความคิดของโครงการวิจัย

การสร้างวงจรกรองความถี่แบบต่อเนื่องอันดับสูงนั้น มีเทคนิคและวิธีการสร้างได้หลายวิธี เช่น วงจรกรองความถี่ใช้อุปกรณ์พาสซีพต่อแบบขั้นบันได (LC Ladder) วงจรกรองความถี่แบบใช้ออปแอมป์ต่อร่วมกับความต้านทานและตัวเก็บประจุ (Active RC filter) วงจรกรองความถี่แบบทรานคอนดัคแตนซ์-ซี (G_m-C filter) จากวิธีการที่กล่าวมาทั้งหมด วงจรกรองความถี่แบบขั้นบันไดเป็นวงจรกรองความถี่ที่มีค่าความไวต่ำที่สุด (Orchard, 1966) ซึ่งเป็นคุณสมบัติหนึ่งที่ดีของวงจรกรองความถี่ เพื่อที่จะสร้างวงจรกรองความถี่แบบขั้นบันไดโดยใช้อุปกรณ์แอกทีฟจำเป็นต้องอาศัยวงจรที่สำคัญมากที่สุดวงจรหนึ่ง ได้แก่วงจรอินทีเกรเตอร์ โดยวงจรดังกล่าวถูกนำไปใช้ในด้านอิเล็กทรอนิกส์หลากหลาย ไม่ว่าจะด้านเครื่องมือวัด การประมวลผลสัญญาณเสียง การประมวลผลสัญญาณภาพ ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคม ดังนั้นการออกแบบวงจรกรองความถี่ให้สามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำและสูญเสียกำลังงานต่ำจึงมีความสำคัญ

1.4 การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการแบบพื้นฐาน

วงจรอินทิเกรเตอร์และวงจรกรองความถี่ที่ได้ถูกออกแบบให้สามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ มีค่าความต้านทานขาเข้าต่ำ ความต้านทานขาออกสูง วงจรสามารถปรับจูนความถี่ได้ และยังออกแบบให้สามารถปรับจูนได้โดยอิสระ

1.5 ขอบเขตการวิจัย

งานวิจัยฉบับนี้ได้นำเสนอวงจรอินทีเกรเตร์ โดยใช้มอสทรานซิสเตอร์ทำงานในโหมดกระแส วงจรอินทีเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรวงจรกรองความถี่อันดับสูง โดยสามารถปรับจูนคุณสมบัติภายในของวงจรกรองความถี่ได้อย่างอิสระในวงจรเดียวกันด้วยวิธีการทางอิเล็กทรอนิกส์ จากวงจรที่ถูกนำเสนอ สามารถแสดงผลการทำงานด้วยการจำลองการทำงานด้วยโปรแกรม H-spice

1.6 ขั้นตอนของการศึกษา

งานวิจัยฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

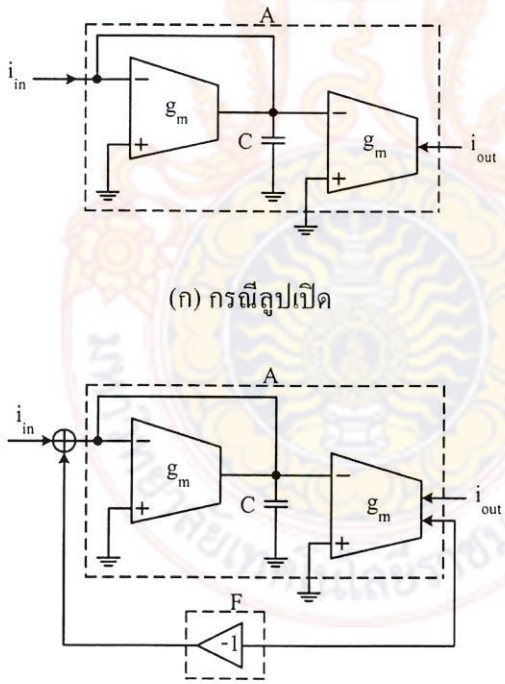
บทที่ 1 กล่าวถึงความเป็นมาของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ ทฤษฎีที่ใช้ขอบเขตของการวิจัย ขั้นตอนการศึกษา และประโยชน์ที่คาดว่าจะได้รับ

บทที่ 2 กล่าวถึงหลักการออกแบบวงจรอินทีเกรเตอร์ และวงจรอินทีเกรเตอร์ที่เคยถูกนำเสนอมาก่อนแล้ว

บทที่ 2
หลักการทำงานวงจรอินทีเกรเตอร์ในโหมดกระแส และวงจรอินทีเกรเตอร์ที่ถูกนำเสนอมาก่อน

การสร้างวงจรกรองความถี่แบบต่อเนื่องอันดับสูงนั้น มีเทคนิคและวิธีการสร้างได้หลายวิธี เช่น วงจรกรองความถี่ใช้อุปกรณ์พาสซีพต่อแบบขั้นบันได (LC Ladder) วงจรกรองความถี่แบบใช้ออปแอมป์ต่อร่วมกับความต้านทานและตัวเก็บประจุ (Active RC filter) วงจรกรองความถี่แบบทรานคอนดัคแตนซ์-ซี (G_m-C filter) จากวิธีการที่กล่าวมาทั้งหมดวงจรกรองความถี่แบบขั้นบันไดเป็นวงจรกรองความถี่ที่มีค่าความไวต่ำที่สุด (Orchard, 1966) ซึ่งเป็นคุณสมบัติหนึ่งที่ดีของวงจรกรองความถี่ เพื่อที่จะสร้างวงจรกรองความถี่แบบขั้นบันไดโดยใช้อุปกรณ์แอคทีฟจำเป็นต้องอาศัยวงจรที่สำคัญมากที่สุดวงจรหนึ่ง ได้แก่วงจรอินทีเกรเตอร์ ในบทที่ 2 นี้จะเป็นการกล่าวถึงหลักการทำงานของวงจรอินทีเกรเตอร์และอินทีเกรเตอร์ที่ถูกนำเสนอมาก่อน

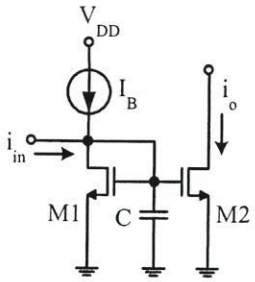
2.1 หลักการทำงานของวงจรอินทีเกรเตอร์



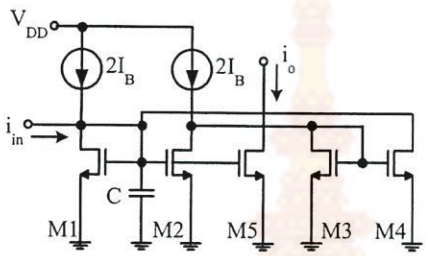
(ก) กรณีลูปเปิด

(ข) กรณีลูปปิด

รูปที่ 2.1 โครงสร้างวงจรอินทีเกรเตอร์แบบไม่สูญเสียทำงานในโหมดกระแส

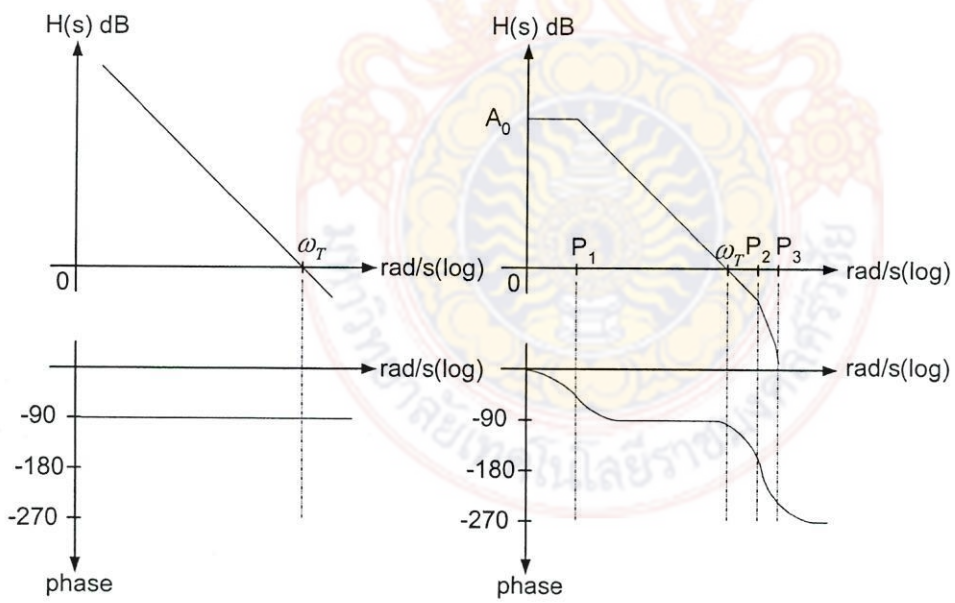


(ก) วงจรอินทีเกรเตอร์แบบสูญเสีย (Lossy Integrator)



(ข) วงจรอินทีเกรเตอร์แบบไม่สูญเสีย (Lossless Integrator)

รูปที่ 2.2 วงจรอินทีเกรเตอร์ทำงานในโหมดกระแส



(ก) แบบอุดมคติ (Ideal) (ข) แบบไม่เป็นอุดมคติ (Practical)

รูปที่ 2.3 การตอบสนองทางความถี่และเฟสของวงจรอินทีเกรเตอร์แบบไม่สูญเสีย

จากฟังก์ชันการถ่ายโอนวงจรอินทีเกรเตอร์สามารถเขียนใหม่ได้ดังนี้ คือ

$$H(j\omega)=\frac{1}{R(\omega)+jX(\omega)} \tag{2.5}$$

จากสมการที่ (2.5) สามารถนิยามตัวประกอบคุณภาพได้ คือ อัตราส่วนของจำนวนจินตภาพ (Imaginary part) ต่อจำนวนจริง (Real part) (Lee, et al., 1993) ของฟังก์ชันการถ่ายโอนวงจรอินทีเกรเตอร์

$$Q(\omega)=\frac{X(\omega)}{R(\omega)} \tag{2.6}$$

จากสมการที่ (2.3) และสมการที่ (2.4) สามารถหาค่าตัวประกอบคุณภาพได้ ในทำนองเดียวกัน คือ (De Heij, et al., 1989)

$$\frac{1}{Q(\omega)}=\frac{1-\omega^2\tau_1\tau_2}{\omega(\tau_1+\tau_2)}\approx\frac{1}{\omega\tau_1}-\omega\tau_2 \tag{2.7}$$

เมื่อ τ_2 คือ ผลรวมของโพลรองมีค่าเท่ากับ $\sum_{i=2}^{i=\alpha}\frac{1}{p_i}$

2.2 วงจรอินทีเกรเตอร์แบบเดิมที่ถูกนำเสนอไปแล้ว

รูปที่ 2.4 แสดงวงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Durand และคณะ (1996) ในรูปที่ 2.4(ก) แสดงวงจรสะท้อนกระแสแบบง่าย รูปที่ 2.4(ข) แสดงวงจรอินทีเกรเตอร์แบบสูญเสียและรูปที่ 2.4(ค) แสดงวงจรไจเรเตอร์ (gyrator) วงจรสะท้อนกระแส วงจรอินทีเกรเตอร์แบบสูญเสียและวงจรไจเรเตอร์ถูกออกแบบให้ทำงานในโหมดกระแสภายใต้แหล่งจ่ายไฟเลี้ยงขนาด ± 1.5 โวลต์ ที่กระแสไบอัสวงจรขนาด 10 ไมโครแอมป์ ฟังก์ชันกระแสเอาต์พุตที่ได้จากวงจรอินทีเกรเตอร์แบบสูญเสียและวงจรไจเรเตอร์ แสดงดังสมการที่ (2.8) และสมการที่ (2.9) ตามลำดับ วงจรอินทีเกรเตอร์แบบสูญเสีย และวงจรไจเรเตอร์ดังกล่าว ได้ถูกนำมาออกแบบเป็นวงจร กรองความถี่ทำงานในโหมดกระแส โดยใช้วิธีการเลียนแบบการทำงานวงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงาน (simulation of LC ladder filter) วงจรอินทีเกรเตอร์และวงจรไจเรเตอร์ดังกล่าวได้ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน โดยความถี่คัทออฟมีค่าเท่ากับ 1 เมกกะเฮิรตซ์

$$I_O=-\frac{I_{in}}{s\frac{C}{g_m}+1} \tag{2.8}$$

$$(sL_j+1)I_j=V_i-V_k+I_j \tag{2.9}$$

ออกแบบเป็นวงจรกรองความถี่ที่มีความถี่คัทออฟมีค่าตั้งแต่ 24 เมกกะเฮิรตซ์ ถึง 42 เมกกะเฮิรตซ์ ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 5.0 โวลต์

$$i_2 = i_1 + i_f + (g_{m3} + sC)(-\frac{i_f}{g_{m3}}) \tag{2.10}$$

$$i_f = (\frac{g_{m3}}{sC})(i_1 - i_2) \tag{2.11}$$

$$i_O = K(\frac{g_{m3}}{sC})(i_1 - i_2) \tag{2.12}$$

เมื่อ i_f คือ กระแสป้อนกลับแบบบวก

วงจรอินทีเกรเตอร์แบบขยายผลต่างได้ถูกออกแบบโดยใช้วงจรอินทีเกรเตอร์แบบสูญเสีย 2 ชุด มีการป้อนกลับสัญญาณแบบบวกให้กับวงจรอินทีเกรเตอร์ ดังแสดงในรูปที่ 25(ข)โดยวงจรที่ได้สามารถปรับจูนความถี่ได้เช่นเดียวกับวงจรอินทีเกรเตอร์แบบขั้วเดี่ยว ฟังก์ชันการถ่ายโอนของวงจรอินทีเกรเตอร์แสดงในสมการที่ (2.13) วงจรอินทีเกรเตอร์แบบขยายผลต่างที่ได้นำเสนอถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน โดยมีความถี่คัทออฟตั้งแต่ 300 กิโลเฮิรตซ์ ถึง 1 เมกกะเฮิรตซ์ และทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์

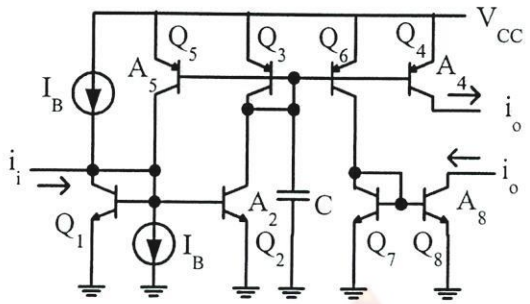
นอกจากนี้ Lee และ Zele ยังได้ออกแบบวงจรอินทีเกรเตอร์ โดยใช้วงจรสะท้อนกระแสแบบคาสโคด (Cascode current mirror) เป็นโครงสร้างพื้นฐานเพื่อให้วงจรอินทีเกรเตอร์มีประสิทธิภาพที่สูงขึ้น อย่างไรก็ตามการออกแบบวงจรอินทีเกรเตอร์โดยใช้วงจรสะท้อนกระแสแบบคาสโคดทำให้วงจรต้องการแหล่งจ่ายไฟเลี้ยงที่สูงขึ้น การปรับจูนความถี่ถูกจำกัดมากขึ้น

$$\frac{i_o}{i_{in}} = \frac{\frac{g_m}{2g_{ds}}}{(1+\frac{s}{p_1})(1+\frac{s}{p_2})} \tag{2.13}$$

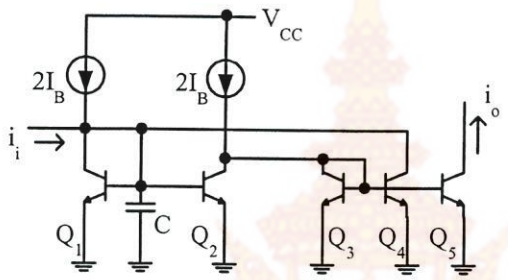
เมื่อ p_1 และ p_2 โพลหลักและโพลรอง ตามลำดับ มีค่าเท่ากับ

$$p_1 = \frac{2g_{ds}}{(C+4C_{gd})}$$

$$p_2 = 2.5\frac{g_m}{C_{gs}}$$



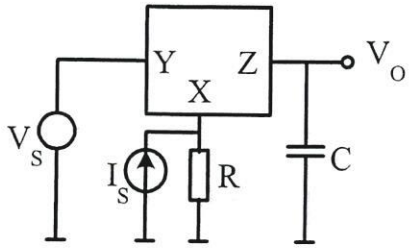
(ก) วงจรอินทีเกรเตอร์แบบไม่สูญเสีย แบบที่ 1



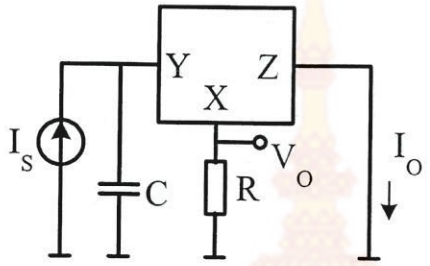
(ข) วงจรอินทีเกรเตอร์แบบไม่สูญเสีย แบบที่ 2

รูปที่ 2.6 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Fujii (1996 and 1998)

รูปที่ 2.6 แสดงวงจรอินทีเกรเตอร์แบบไม่สูญเสีย ที่ถูกนำเสนอโดย Fujii (1996 and 1998) วงจรได้ออกแบบโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ วงจรอินทีเกรเตอร์ที่ถูกสร้างขึ้นมี 2 แบบคือ แบบที่ 1 ใช้ทรานซิสเตอร์ชนิดพีเอ็นพี ทำหน้าที่ป้อนกลับแบบบวกสัญญาณเอาต์พุตกลับมายังอินพุตดังแสดงในรูปที่ 2.6(ก) และแบบที่ 2 ใช้ทรานซิสเตอร์ชนิดเอ็นพีเอ็น ทำหน้าที่ป้อนกลับแบบบวกสัญญาณเอาต์พุตกลับมายังอินพุตดังแสดงในรูปที่ 2.6(ข) ฟังก์ชันการถ่ายโอนของวงจรอินทีเกรเตอร์แบบที่ 1 และแบบที่ 2 แสดงได้ในสมการที่ (2.14) และสมการที่ (2.15) ตามลำดับ จากสมการที่ (2.14) พบว่าถ้าขนาดของทรานซิสเตอร์ Q_2 และทรานซิสเตอร์ Q_5 คูณกันแล้วมีค่าเท่ากับหนึ่งทำให้ได้วงจรอินทีเกรเตอร์แบบไม่สูญเสีย นอกจากนั้นจะสังเกตได้ว่าวงจรอินทีเกรเตอร์แบบที่ 2 สามารถทำงานได้ที่ความถี่สูงเนื่องจากวงจรใช้เฉพาะทรานซิสเตอร์ชนิดเอ็นพีเอ็น อย่างไรก็ตามวงจรสิ้นเปลืองกำลังงานมากกว่าวงจรอินทีเกรเตอร์แบบที่ 1 วงจรอินทีเกรเตอร์ดังกล่าวได้ถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านและมีความถี่คัทออฟเท่ากับ 500 เมกกะเฮิรตซ์ วงจรสามารถปรับจูนความถี่คัทออฟได้ตั้งแต่ 100 เมกกะเฮิรตซ์ จนถึง 800 เมกกะเฮิรตซ์ และยังได้นำวงจรอินทีเกรเตอร์มาออกแบบเป็นวงจรกรองแถบความถี่ผ่าน มีความถี่กลางเท่ากับ 135 เมกกะเฮิรตซ์ วงจรทำงานที่แหล่งจ่ายไฟเลี้ยงมากกว่า 2 โวลต์ เป็นที่น่า

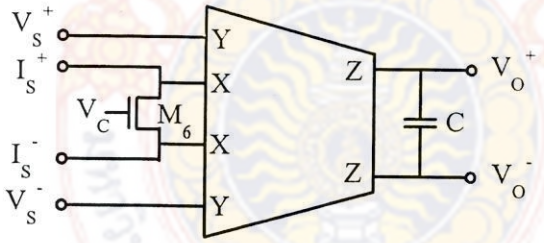


(ก) อินพุตเป็นกระแสและแรงดัน - เอาต์พุตเป็นแรงดัน

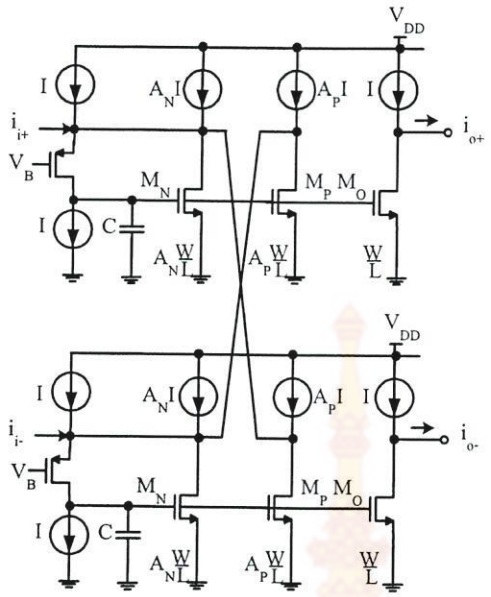


(ข) อินพุตเป็นกระแส- เอาต์พุตเป็นกระแสและแรงดัน

รูปที่ 2.7 วงจรอินทีเกรเตอร์ที่สร้างจากวงจรสายพานกระแส (Sabadell, 1998)



รูปที่ 2.8 วงจรอินทีเกรเตอร์ที่สร้างจากวงจรสายพานกระแสแบบขยายผลต่างที่ถูกนำเสนอโดย Sabadell (1998)



(ข) ใช้โครงสร้างวงจรสะท้อนกระแสแบบคาสโคดแบบพับ

รูปที่ 2.10 วงจรอินทีเกรเตอร์ ที่ถูกนำเสนอโดย Smith และคณะ (1996)

วงจรในรูปที่ 2.10 เป็นวงจรอินทีเกรเตอร์ที่ถูกนำเสนอโดย Smith และคณะ (1996) วงจรที่นำเสนอเป็นวงจรอินทีเกรเตอร์แบบขยายผลต่าง ถูกสร้างจากวงจรสะท้อนกระแสแบบง่าย แบบคาสโคด แบบคาสโคดทำงานที่แหล่งจ่ายไฟเลี้ยงต่ำ (Low Voltage Cascode current mirror) และแบบคาสโคดแบบพับ (Folded Cascode current mirror) วงจรถูกออกแบบให้สามารถกำจัดสัญญาณในโหมดร่วมกันได้ดีขึ้นโดยกำหนดให้อัตราส่วนของขนาดความกว้างและความยาว W/L ของทรานซิสเตอร์ M_N และ M_P มีขนาดที่ใหญ่กว่าทรานซิสเตอร์ M_O ฟังก์ชันการถ่ายโอนในโหมดขยายผลต่างและโหมดร่วม แสดงในสมการที่ (2.17) และสมการที่ (2.18) ตามลำดับ วงจรดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านให้มีความถี่คัทออฟมีค่าเท่ากับ 6 เมกกะเฮิรตซ์ ถึง 13 เมกกะเฮิรตซ์ โดยทำงานที่แหล่งจ่ายไฟเลี้ยงขนาด 3.3 โวลต์

$$\frac{i_o^+ - i_o^-}{i_{in}^+ - i_{in}^-} = \frac{\omega_U}{s + (K_N - K_P)\omega_U} \tag{2.17}$$

$$\frac{i_o^+ + i_o^-}{i_{in}^+ + i_{in}^-} = \frac{\omega_U}{s + (K_N + K_P)\omega_U} \tag{2.18}$$

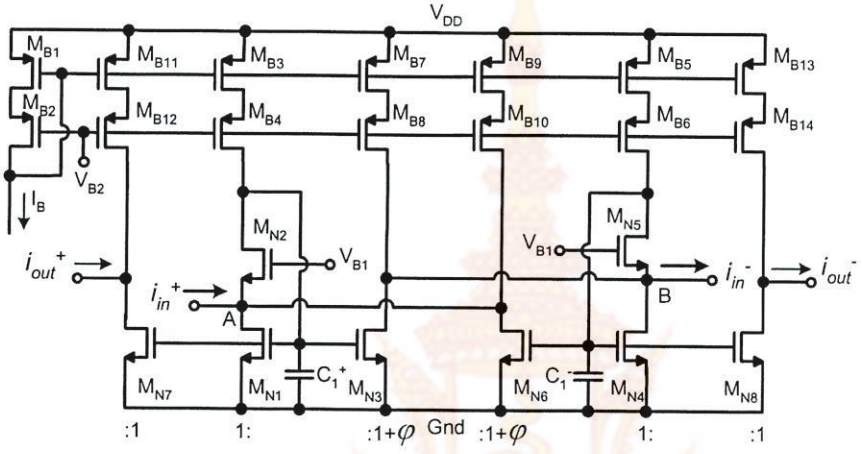
โดยที่

$$\omega_U = \frac{g_{mo}}{C} = \frac{g_{mN}}{K_N C}$$

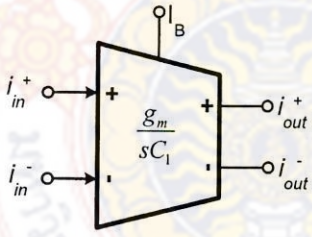
วงจรในรูปที่ 2.11 เป็นวงจรอินทีเกรเตอร์ที่ถูกนำเสนอโดย Sa-ad และคณะ (2005) วงจรที่นำเสนอเป็นวงจรอินทีเกรเตอร์แบบขั้วเดี่ยว วงจรถูกสร้างจากวงจรสะท้อนกระแส แบบคาส

บทที่ 3
วงจรอินทีเกรเตอร์ในโหมดกระแสที่นำเสนอ

ในบทนี้จะกล่าวถึงวงจรอินทีเกรเตอร์ที่ได้นำเสนอ เนื้อหาแสดงการวิเคราะห์จุดทำงานของวงจร ผลกระทบที่เกิดขึ้นกับวงจรอินทีเกรเตอร์แบบไม่เป็นอุดมคติ การวิเคราะห์สัญญาณรบกวนที่เกิดขึ้นในวงจร การแสดงประสิทธิภาพของวงจรโดยการการจำลองการทำงานด้วยโปรแกรม H-spice และการออกแบบวงจรอินทีเกรเตอร์ด้วยอุปกรณ์ที่มีขายในท้องตลาด



(ก)



(ข)

รูปที่ 3.1 วงจรอินทีเกรเตอร์แบบขยายผลต่างที่นำเสนอ
(ก) วงจรที่นำเสนอ (ข) บล็อกไดอะแกรม

3.1 วงจรอินทีเกรเตอร์ที่นำเสนอ

ในการออกแบบวงจรอินทีเกรเตอร์สามารถออกแบบได้ทั้งแบบขั้วเดี่ยว (Singl end) และแบบขยายผลต่าง (Differential end) แต่วงจรอินทีเกรเตอร์แบบขั้วเดี่ยวมีข้อด้อยก็คือมีความเพี้ยนฮาร์โมนิกส์ (Total Harmonic Distortion: THD) ค่อนข้างสูง ในขณะที่วงจรอินทีเกรเตอร์

$$V_{DSM1} = V_B - V_{TN} - \sqrt{\frac{2I_B}{k_N A_{M2}}} \tag{3.4}$$

$$V_{DSM2} = 2V_{TN} - V_B + \sqrt{\frac{2I_B}{k_N}}\left(\frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}}\right) \tag{3.5}$$

จากสมการที่ (3.2) (3.3) และสมการที่ (3.4) เพื่อให้ทรานซิสเตอร์ M_{N1} ทำงานในย่านอิ่มตัว ค่าแรงดัน V_B ต่ำสุดจะต้องมีค่าเท่ากับ

$$V_B \geq V_{TN} + \sqrt{\frac{2I_B}{k_N}}\left(\frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}}\right) \tag{3.6}$$

ในทำนองเดียวกันเพื่อให้ทรานซิสเตอร์ M_{N1} ทำงานในย่านอิ่มตัว ขนาดของแรงดัน V_B สูงสุดจะต้องมีค่าเท่ากับ

$$V_B \leq 2V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \tag{3.7}$$

ดังนั้นในช่วงของแรงดัน V_B ที่ใช้งานได้ เพื่อป้อนเข้าไปในวงจรให้ทรานซิสเตอร์ทำงานในย่านอิ่มตัว สามารถแสดงในสมการที่ (3.8)

$$V_{TN} + \sqrt{\frac{2I_B}{k_N}}\left(\frac{1}{\sqrt{A_{M1}}} + \frac{1}{\sqrt{A_{M2}}}\right) \leq V_B \leq 2V_{TN} + \sqrt{\frac{2I_B}{k_N A_{M1}}} \tag{3.8}$$

จากสมการที่ (3.8) เมื่อเพิ่มค่ากระแส I_B มากขึ้น จะส่งผลทำให้ทรานซิสเตอร์ M_{N1} เข้าสู่สภาวะเชิงเส้น ในทางกลับกันหากลดค่ากระแส I_B ก็จะทำให้ทรานซิสเตอร์ M_{N2} เข้าเข้าสู่สภาวะเชิงเส้นเช่นกัน ดังนั้นการปรับจูนกระแส I_B จะถูกจำกัดด้วยการทำงานของทรานซิสเตอร์ เราสามารถหาค่ากระแส I_B สูงสุด ($I_{B,MAX}$) และค่ากระแส I_B ต่ำสุด ($I_{B,MIN}$) จากสมการที่ (3.6) และสมการที่ (3.7) ได้ดังต่อไปนี้

$$I_{B,MAX} = \frac{k_N}{2} A_{M1}\left(V_B - V_{TN}\right)^2 \left[\frac{\sqrt{\frac{A_{M2}}{A_{M1}}}}{1+\sqrt{\frac{A_{M2}}{A_{M1}}}}\right]^2 \tag{3.9}$$

$$I_{B,MIN} = \frac{k_N}{2} A_{M1}\left(V_B - 2V_{TN}\right)^2 \tag{3.10}$$

การปรับค่ากระแส I_B ในวงจรอินทีเกรเตอร์จะถูกจำกัดด้วยค่าของแรงดัน V_B และขนาดของมอสทรานซิสเตอร์ M_{N1} และ M_{N2} จากฟังก์ชันการโอนย้ายของวงจรอินทีเกรเตอร์ค่ากระแส I_B ดังกล่าวและขนาดของทรานซิสเตอร์จะมีผลกระทบโดยตรงต่อการตอบสนองความถี่และ อัตราการขยายของวงจร (แสดงให้เห็นในหัวข้อต่อไป) ดังนั้นการเลือกขนาดของทรานซิสเตอร์ ค่าแรงดัน V_B และค่ากระแส I_B ให้เหมาะสมจึงมีความสำคัญ

แหล่งจ่ายแรงดันไฟเลี้ยงต่ำสุดที่วงจรต้องการเพื่อให้สามารถทำงานได้ตามที่ออกแบบไว้จะต้องมีค่ามากกว่าแรงดันขีดเริ่มของทรานซิสเตอร์ชนิดเอ็น และแรงดันที่ทำให้ทรานซิสเตอร์ชนิดพีทำงานเป็นแหล่งจ่ายกระแส อย่างไรก็ตาม ในการใช้งานเราจำเป็นต้องเผื่อค่าแรงดันที่ใช้

จากสมการที่ (3.16) เราสามารถปรับจูนความถี่ที่อัตราการขยายมีค่าเท่าหนึ่งของวงจรอินทีเกรเตอร์ได้ ด้วยการควบคุมค่าทรานคอนดัคแตนซ์ (g_m) ผ่านทางกระแสไบอัส I_B การวิเคราะห์หาค่าฟังก์ชันการถ่ายโอนในสมการที่ (3.12) จนถึง (3.16) ยังไม่ได้พิจารณาค่าความนำไฟฟ้าด้านขาออกและตัวเก็บประจุแฝงของมอสทรานซิสเตอร์ เพื่อที่จะรวมผลกระทบของวงจรที่เกิดจากค่าความนำไฟฟ้าด้านขาออก และตัวเก็บประจุแฝงของวงจรอินทีเกรเตอร์ สามารถใช้กฎกระแสของเคอร์ซอฟท์พิจารณาที่โนด A และโนด B จะได้ (ดูรูปที่ 3.1(ก))

$$v_1^+ = \frac{\left(1+\frac{g_{ds2}}{g_{m2}}\right)i_{in}^+ + \left(1+\frac{g_{ds1}}{g_{m2}}+\frac{g_{ds2}}{g_{m2}}+\frac{sC_{gs2}}{g_{m2}}\right)i_f^+}{g_{m1}+sC+\frac{g_{ds2}g_{m1}}{g_{m2}}+\frac{g_{ds1}sC}{g_{m2}}+\frac{g_{ds2}sC}{g_{m2}}+\frac{g_{ds2}sC_{gs2}}{g_{m2}}+\frac{s^2C\,C_{gs2}}{g_{m2}}} \tag{3.17}$$

$$v_1^- = \frac{\left(1+\frac{g_{ds2}}{g_{m2}}\right)i_{in}^- + \left(1+\frac{g_{ds1}}{g_{m2}}+\frac{g_{ds2}}{g_{m2}}+\frac{sC_{gs2}}{g_{m2}}\right)i_f^-}{g_{m1}+sC+\frac{g_{ds2}g_{m1}}{g_{m2}}+\frac{g_{ds1}sC}{g_{m2}}+\frac{g_{ds2}sC}{g_{m2}}+\frac{g_{ds2}sC_{gs2}}{g_{m2}}+\frac{s^2C\,C_{gs2}}{g_{m2}}} \tag{3.18}$$

กระแสป้อนกลับ i_f^+ และ i_f^- มีค่าเท่ากับ

$$i_f^+ = -\left(g_{m1}v_1^- + \frac{g_{ds2}\left(g_{ds1}+sC_{gs2}\right)}{g_{m2}+g_{ds1}+g_{ds2}+sC_{gs2}}v_1^+\right) \tag{3.19}$$

$$i_f^- = -\left(g_{m1}v_1^+ + \frac{g_{ds2}\left(g_{ds1}+sC_{gs2}\right)}{g_{m2}+g_{ds1}+g_{ds2}+sC_{gs2}}v_1^-\right) \tag{3.20}$$

จากสมการที่ (3.14) (3.15) และสมการที่ (3.17) ถึงสมการที่ (3.20) ฟังก์ชันการถ่ายโอนทำงานในโหมดขยายผลต่าง คือ

$$\frac{i_{out}^+ - i_{out}^-}{i_{in}^+ - i_{in}^-} = \frac{g_m\left(1+\frac{g_{ds}}{g_m}\right)}{sC\left(1+\frac{2g_{ds}}{g_m}+\frac{sC_{gs}}{g_m}\right)+\left(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m}\right)} \tag{3.21}$$

จากฟังก์ชันการถ่ายโอนจะเห็นได้ว่าค่าที่ได้เป็นวงจรอินทีเกรเตอร์แบบสูญเสีย ค่าสูญเสียที่เกิดขึ้นในวงจรเกิดจากค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์

- ฟังก์ชันการถ่ายโอนทำงานในโหมดร่วม (Common mode)

ใช้กฎกระแสของเคอร์ซอฟท์ พิจารณาที่โนด A และโนด B และละเลยค่าความนำไฟฟ้าด้านขาออกของทรานซิสเตอร์ และตัวเก็บประจุแฝงที่เกิดขึ้นในทรานซิสเตอร์ จะได้ว่า

$$i_{in}^+ - i_f^+ = (sC+g_{m1})v_1^+ \tag{3.22}$$

$$i_{in}^- - i_f^- = (sC+g_{m1})v_1^- \tag{3.23}$$

เมื่อ i_f^+ และ i_f^- เป็นกระแสป้อนกลับ มีค่าเท่ากับ $g_{m1}v_1^-$ และ $g_{m1}v_1^+$ ตามลำดับ

จากรูปที่ 3.2 กระแสขาออก i_{out}^+ และ i_{out}^- มีค่าเท่ากับ

$$i_{out}^+ = g_{m1}v_1^+ \tag{3.24}$$

$$i_{out}^- = g_{m1}v_1^- \tag{3.25}$$

ในการออกแบบวงจรอินทีเกรเตอร์นั้นจะเห็นได้ว่า จำเป็นต้องออกแบบให้วงจรอินทีเกรเตอร์มีอัตรการขยายที่สูงในโหมดขยายผลต่าง (ดังที่ได้กล่าวถึงในบทที่ 2) อย่างไรก็ตาม อัตราขยายนั้นจะถูกจำกัดด้วย ค่าความนำด้านเอาต์พุตของทรานซิสเตอร์ (g_{ds}) ดังนั้นหากสามารถทำให้ค่าความนำด้านเอาต์พุตของทรานซิสเตอร์ (g_{ds}) มีค่าต่ำหรือสามารถกำจัดฟังก์ชัน $(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m})$ ในสมการที่ (3.21) ได้ จะทำให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูงขึ้น ดังนั้นในการออกแบบวงจรอินทีเกรเตอร์จึงได้กำหนดให้อัตราการส่วนของทรานซิสเตอร์ M_{N1} กับ M_{N3} ในวงจรสะท้อนกระแสของวงจรในรูปที่ 3.1(ก) มีอัตราส่วนเป็น $1:1+\varphi$ หรือทรานซิสเตอร์ M_{N3} เท่ากับ $(1+\varphi)M_{N1}$ โดยที่ค่า φ ที่เพิ่มเข้าไปในทรานซิสเตอร์ M_{N3} ก็เพื่อชดเชยการสูญเสียเนื่องจากค่าความนำไฟฟ้าด้านเอาต์พุตของวงจรอินทีเกรเตอร์นั้นเอง ส่งผลให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูง ได้ฟังก์ชันการถ่ายโอนในโหมดขยายผลต่างดังแสดงในสมการที่ (3.32)

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{g_m\left(1+\frac{g_{ds}}{g_m}\right)}{sC\left(1+\frac{2g_{ds}}{g_m}+\frac{sC_{gs}}{g_m}\right)+\left(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m}-\varphi g_m\right)} \tag{3.32}$$

เมื่อ φ คือ ขนาดของทรานซิสเตอร์ที่มีค่าเพิ่มขึ้น จากสมการที่ (3.32) จะเห็นได้ว่าค่า φg_m ที่เพิ่มขึ้น ทำให้อัตราการขยายของวงจรอินทีเกรเตอร์ที่นำเสนอมีค่าสูงขึ้น

จากค่าฟังก์ชันการถ่ายโอน สมการที่ (3.21) จัดรูปสมการใหม่ จะได้ว่า

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{g_{m1}\left(1+\frac{g_{ds}}{g_m}\right)}{s^2\frac{C.C_{gs}}{g_m}+sC(1+\frac{2g_{ds}}{g_m})+\frac{g_{ds}^2}{g_m}} \tag{3.33}$$

จัดรูปสมการสมการที่ (3.33) .ให้อยู่ในรูปสมการกำลังสอง จะได้ว่า

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{1}{s^2\frac{C.C_{gs}}{g_m^2+g_mg_{ds}}+s\frac{C(g_m+2g_{ds})}{g_m^2+g_mg_{ds}}+\frac{g_{ds}^2}{g_m^2+g_mg_{ds}}}=\frac{1}{(s+q_3)(s+q_4)} \tag{3.34}$$

โดยที่

$$q_3=\frac{-\frac{C(g_m+2g_{ds})}{g_m^2+g_mg_{ds}}-\sqrt{\left(\frac{C(g_m+2g_{ds})}{g_m^2+g_mg_{ds}}\right)^2-4\frac{C.C_{gs}}{g_m^2+g_mg_{ds}}\frac{g_{ds}^2}{g_m^2+g_mg_{ds}}}}{2\frac{C.C_{gs}}{g_m^2+g_mg_{ds}}}$$

$$q_4=\frac{-\frac{C(g_m+2g_{ds})}{g_m^2+g_mg_{ds}}+\sqrt{\left(\frac{C(g_m+2g_{ds})}{g_m^2+g_mg_{ds}}\right)^2-4\frac{C.C_{gs}}{g_m^2+g_mg_{ds}}\frac{g_{ds}^2}{g_m^2+g_mg_{ds}}}}{2\frac{C.C_{gs}}{g_m^2+g_mg_{ds}}}$$

จากสมการที่ (3.34) จัดให้อยู่ในรูปสมการทั่วไป จะได้ว่า

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{A_0}{(s\tau_{(p1)}+1)(s\tau_{(p2)}+1)} \tag{3.35}$$

เมื่อ A_0 คืออัตราการขยายของวงจรที่ความถี่ต่ำ มีค่าเท่ากับ $1/q_3q_4$

$1/\tau_{(p1)}$ คือโพลหลัก มีค่าเท่ากับ q_3 และ $1/\tau_{(p2)}$ คือ โพลรองมีค่าเท่ากับ q_4

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{1}{sC\left(\frac{g_m+2g_{ds}}{g_m^2+g_mg_{ds}}\right)+\left(\frac{g_{ds}^2}{g_{m2}+g_{ds}}\right)} \tag{3.36}$$

จากสมการที่ (3.36) และนิยามตัวประกอบคุณภาพ (Q) สามารถหาตัวประกอบคุณภาพได้ คือ

$$Q=\frac{\omega C\left(g_m+2g_{ds}\right)}{g_mg_{ds}^2} \tag{3.37}$$

จากฟังก์ชันการถ่ายโอนในสมการที่ (3.37) ความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่ง (ω_T) จะได้ตัวประกอบคุณภาพที่ความถี่ดังกล่าว Q (ω_T) มีค่าเท่ากับ

$$Q\left(\omega_T\right)=\frac{\left(g_m+2g_{ds}\right)}{g_{ds}^2}=\frac{1}{\lambda^2}\sqrt{\frac{2\mu C_{OX}\frac{W}{L}}{I_B^3}}+\frac{2}{\lambda I_B} \tag{3.38}$$

จากสมการที่ (3.38) พบว่าตัวประกอบคุณภาพ จะเปลี่ยนแปลงตามขนาดของทรานซิสเตอร์ (ทรานซิสเตอร์ M_{N2}) ในขณะเดียวกันจะแปรผกผันกับขนาดความยาวของช่องทางเดินกระแส (L) และกระแสที่ไหลผ่านทรานซิสเตอร์ ทั้งนี้จะเห็นได้ว่าในการวิเคราะห์หาค่าตัวประกอบคุณภาพยังไม่ได้คิดผลกระทบที่เกิดขึ้นเนื่องจากค่าตัวเก็บประจุแฝงในทรานซิสเตอร์ และได้สมมติให้โพลรองห่างจากโพลหลักมาก ส่งผลให้ค่าตัวประกอบคุณภาพที่ได้จากการวิเคราะห์สมการมีค่าสูงกว่าความเป็นจริง

เมื่อพิจารณาค่าตัวประกอบคุณภาพของวงจรอินทีเกรเตอร์ที่มีการปรับอัตราการขยายวงจรดังแสดงในสมการที่ (3.32) สามารถหาตัวประกอบคุณภาพได้ คือ

$$Q=\frac{\omega C\left(g_m+2g_{ds}\right)}{g_{ds}^2-\varphi g_m^2} \tag{3.39}$$

จากฟังก์ชันการถ่ายโอนในสมการที่ (3.39) เมื่อพิจารณาที่ความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่ง จะได้ว่า

$$Q\left(\omega_T\right)=\frac{2\left[\mu C_{OX}\frac{W}{L}+\lambda(2\mu C_{OX}\frac{W}{L}I_B)^{\frac{1}{2}}\right]}{\lambda^2I_B-\varphi(2\mu C_{OX}\frac{W}{L})} \tag{3.40}$$

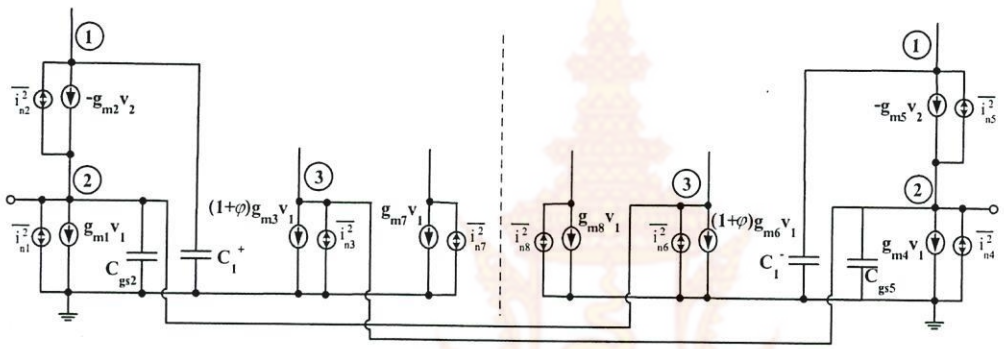
3.1.3 สัญญาณรบกวน (Noise)

ในการออกแบบวงจรจำเป็นที่จะต้องพิจารณาถึงขนาดของสัญญาณรบกวนที่เกิดขึ้น เพราะขนาดของสัญญาณรบกวนเป็นปัจจัยหนึ่งที่กระทบต่อประสิทธิภาพของวงจร โดยปกติแล้วสัญญาณอินพุตที่ป้อนเข้าสู่วงจรควรมีค่ามากกว่าขนาดสัญญาณรบกวนทางอินพุตที่ได้ถูกออกแบบ สัญญาณรบกวนของทรานซิสเตอร์เกิดจากสัญญาณรบกวนหลักด้วยกัน 2 ชนิด คือ สัญญาณรบกวนแบบความร้อน (Thermal noise) ($\overline{i_{nT}^2}(f)$) และสัญญาณรบกวนฟลิกเกอร์ (Flicker noise :$1/f$) ($\overline{i_{nf}^2}(f)$) (Gray, et al., 2001) ดังแสดงในสมการที่ (3.41) และสมการที่ (3.42) ตามลำดับ

$$\overline{i_n^2}(f) = 4k_BT\left(\frac{2}{3}g_m\right)\Delta f + \frac{K_1}{C_{OX}(WL)f}g_m^2\Delta f \tag{3.43}$$

เมื่อ $4k_BT\left(\frac{2}{3}g_m\right)$ เป็นเทอมของแหล่งจ่ายสัญญาณรบกวนแบบความร้อน โดย g_m คือค่าทรานคอนดักแตนซ์ทรานซิสเตอร์ขณะทำงานในย่านอิ่มตัว และ $\frac{K_1}{C_{OX}(WL)f}g_m^2$ เป็นเทอมของแหล่งจ่ายสัญญาณรบกวนฟลิกเกอร์

การพิจารณาสัญญาณรบกวนของวงจรอินทีเกรเตอร์ในโหมดกระแส จะทำการวิเคราะห์หาสัญญาณรบกวนด้านอินพุตของวงจร โดยจะต้องพิจารณาสัญญาณรบกวนของอุปกรณ์ทุกตัวที่ถ่ายโอนไปเป็นสัญญาณรบกวนรวมทางด้านเอาต์พุต จากนั้นจะทำการถ่ายโอนสัญญาณรบกวนที่เอาต์พุตมายังอินพุตโดยการหารด้วยฟังก์ชันการถ่ายโอนของวงจร



รูปที่ 3.5 วงจรเสมือนสัญญาณขนาดเล็กที่รวมผลสัญญาณรบกวนของวงจรอินทีเกรเตอร์ที่นำเสนอ

เมื่อนำวงจรอินทีเกรเตอร์ที่แสดงในรูปที่ 3.1 มาวิเคราะห์หาสัญญาณรบกวนโดยแทนแหล่งจ่ายกระแสรบกวนที่เกิดจากทรานซิสเตอร์แต่ละตัวลงไปดังแสดงในรูปที่ 3.5 แล้วหาสัญญาณรบกวนด้านเอาต์พุต ($\overline{I_{no}^2}$) จะได้ดังนี้

$$\overline{I_{no}^2} = \sum_{i=1}^{3}\overline{I_{noi}^2} + \overline{I_{no7}^2} \tag{3.44}$$

โดยที่สัญญาณรบกวนด้านเอาต์พุต $\overline{I_{no}^2}$ มีค่าเท่ากับ $\overline{I_{no}^2}^+$ และ $\overline{I_{no}^2}^-$

เมื่อ

$$\overline{I_{no1}^2} = \overline{I_{no3}^2} = \frac{\overline{I_{n1}^2}}{\Delta_3^2}$$

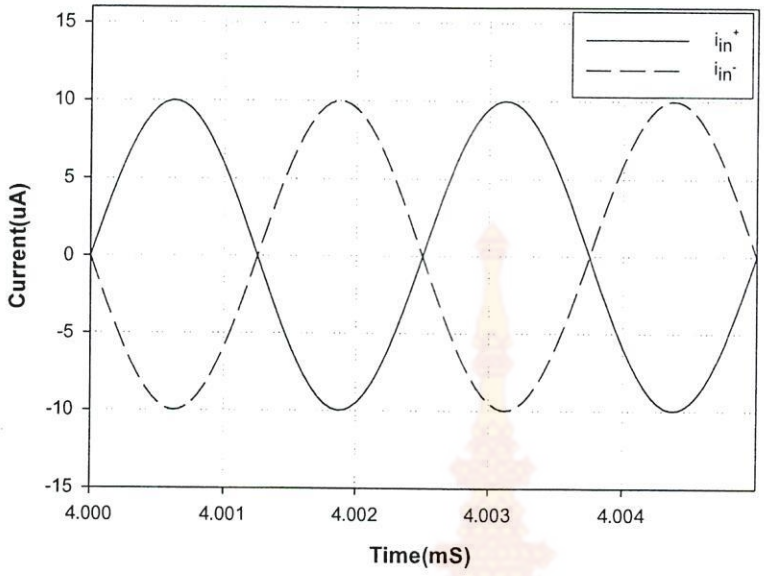
$$\overline{I_{no2}^2} = \frac{\left(\frac{sC_{gs2}}{g_{m2}}\right)^2\overline{I_{n2}^2}}{\Delta_3^2}$$

$$\overline{I_{no7}^2} = \overline{I_{n7}^2}$$

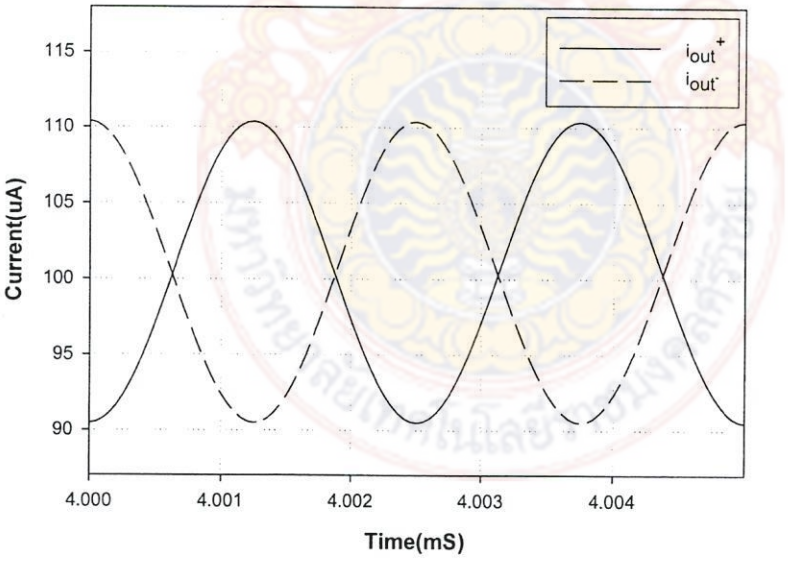
และโนด B (i_{in}^{-}) ที่กลับเฟสกัน 180 องศา ตามลำดับ โดยสัญญาณกระแสมีขนาดเท่ากับ 10 μA สัญญาณกระแสเอาต์พุต i_{out}^{+} และ i_{out}^{-} มีขนาดเท่ากับ 10 μA กลับเฟสกัน 180 องศา

รูปที่ 3.8 แสดงการตอบสนองความถี่ทางขนาดและเฟสของวงจรอินทีเกรเตอร์ โดยออกแบบให้ความถี่ที่อัตราการขยายเท่าหนึ่งของวงจรมีค่าเท่ากับ 80 เมกะเฮิรตซ์ จะสังเกตได้ว่าที่อัตราการขยายเท่าหนึ่งการตอบสนองทางเฟสมีค่าประมาณ -90 องศา ซึ่งสอดคล้องกับค่าในทางอุดมคติ รูปที่ 3.9 แสดงการตอบสนองความถี่ของวงจรอินทีเกรเตอร์ เมื่อปรับเปลี่ยนอัตราส่วนของทรานซิสเตอร์ $M_{N1} : M_{N3}$ ให้มีค่าเท่ากับ $1 : (1+\varphi)$ โดยที่กำหนดให้มีการเปลี่ยนแปลง φ ให้มีค่าต่างๆ จะเห็นได้ว่าเมื่อเพิ่มค่า φ ให้มีค่าสูงขึ้น ทำให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูง เนื่องจากค่ากระแสที่เพิ่มขึ้นจะไปชดเชยการสูญเสียที่เกิดจากค่าความนำไฟฟ้าด้านเอาต์พุต (g_{ds}) ของวงจรอินทีเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราการขยายเท่ากับหนึ่งมีค่าเท่ากับ 250 MHz รูปที่ 3.10 แสดงการตอบสนองความถี่ของวงจรอินทีเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราการขยายเท่ากับหนึ่งมีค่าเท่ากับ 250 MHz ตัวเก็บประจุ C_1 มีค่าเท่ากับ 0.47 pF และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ M_{N1} มีค่า 1,080 $\mu A/V$ ที่กระแสไบอัส 100 ไมโครแอมป์ ค่าอัตราขยายของวงจรมีค่าเท่ากับ 58 เดซิเบล วงจรอินทีเกรเตอร์สามารถปรับจูนความถี่ได้ตั้งแต่ 100 MHz ถึง 300 MHz โดยการปรับกระแสไบอัสของวงจรจาก 25 ไมโครแอมป์ ถึง 140 ไมโครแอมป์ จะสังเกตได้ว่าอัตราการขยายของวงจรที่ได้จากการจำลองการทำงานมีค่าจำกัดโดยจะขึ้นกับค่าผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ และกระแสที่ไหลผ่านมอสทรานซิสเตอร์ และเมื่อปรับขนาดของ φ ให้มีค่าเท่ากับ 0.1 จะทำให้อัตราขยายของวงจรอินทีเกรเตอร์มีค่าสูงขึ้น ดังแสดงในรูปที่ 3.11 รูปที่ 3.12 แสดงค่าความผิดเพี้ยนฮาร์โมนิกส์รวม (THD) ของวงจรอินทีเกรเตอร์แบบขยายผลต่างที่ค่าความถี่ 10 MHz 50 MHz 100 MHz และ200 MHz ตามลำดับ ขนาดของสัญญาณกระแสอินพุต (i_{in}) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร (I_B) จากการทดลองจะเห็นได้ว่าค่าความผิดเพี้ยนฮาร์โมนิกส์รวมจะมีค่าต่ำที่ความถี่ต่ำและจะมีค่าสูงขึ้นที่ความถี่สูง นอกจากนี้ค่าความเพี้ยนจะมีค่าลดลงเมื่อลดอัตราส่วนของกระแสอินพุตกับกระแสไบอัสวงจร รูปที่ 3.13 แสดงสัญญาณรบกวนทางด้านอินพุตของวงจรอินทีเกรเตอร์ สัญญาณรบกวนมีค่าเท่ากับ 7.5 $pA/\sqrt{Hz}$ ที่ความถี่ 10 MHz และที่ความถี่ 200 MHz วัดสัญญาณรบกวนได้ 100 $pA/\sqrt{Hz}$ จะสังเกตได้ว่าสัญญาณรบกวนทางด้านอินพุตมีค่าต่ำที่ความถี่ต่ำกว่า 200 MHz และจะมีค่าสูงขึ้นอย่างรวดเร็วที่ความถี่สูงกว่า 200 MHz

ตารางที่ 3.2 แสดงคุณสมบัติของอินทีเกรเตอร์แบบแบบขยายผลต่างที่นำเสนอ โดยวงจรถูกออกแบบให้ทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์ ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง (f_T) สามารถปรับจูนได้ตั้งแต่ 100 MHz ถึง 300 MHz โดยการปรับจูนกระแสไบอัสจาก 25 ถึง 140 ไมโครแอมป์ อัตราขยายที่ความถี่ต่ำมีขนาดเท่ากับ 58 เดซิเบล (φ=0.0) และ 86 เดซิเบล (φ=0.1) ความผิดเพี้ยนฮาร์โมนิกส์รวมน้อยกว่า 0.94 เปอร์เซ็นต์ ที่อัตราส่วนของสัญญาณ

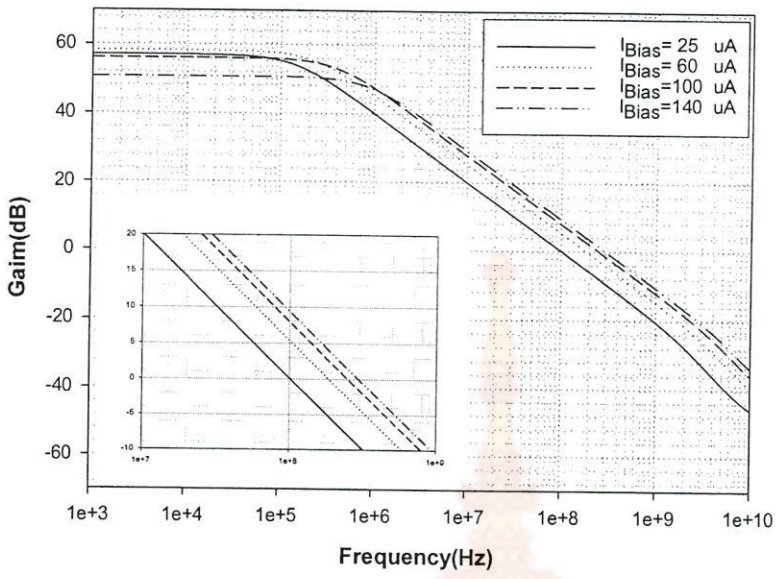


(ก) กระแสอินพุตของวงจรอินทีเกรเตอร์

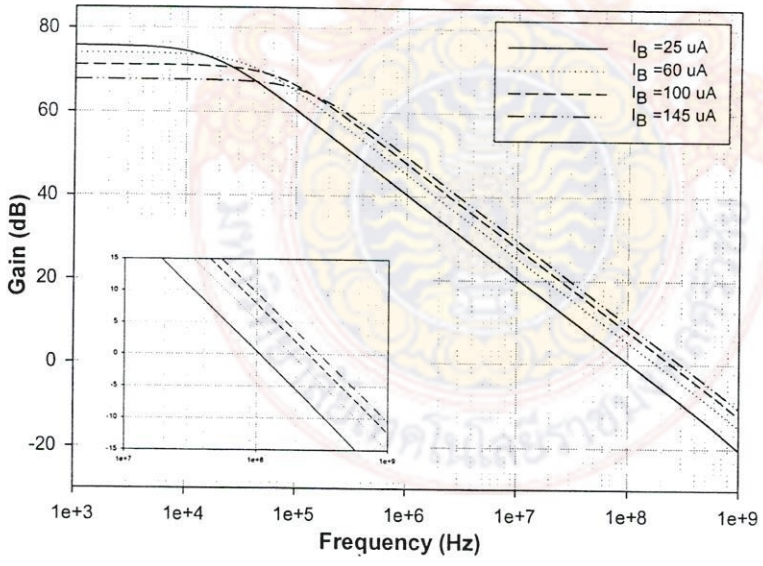


(ข) กระแสเอาต์พุตของวงจรอินทีเกรเตอร์

รูปที่ 3.7 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์



รูปที่ 3.10 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์เมื่อปรับกระแสไบอัส ค่าต่างๆ



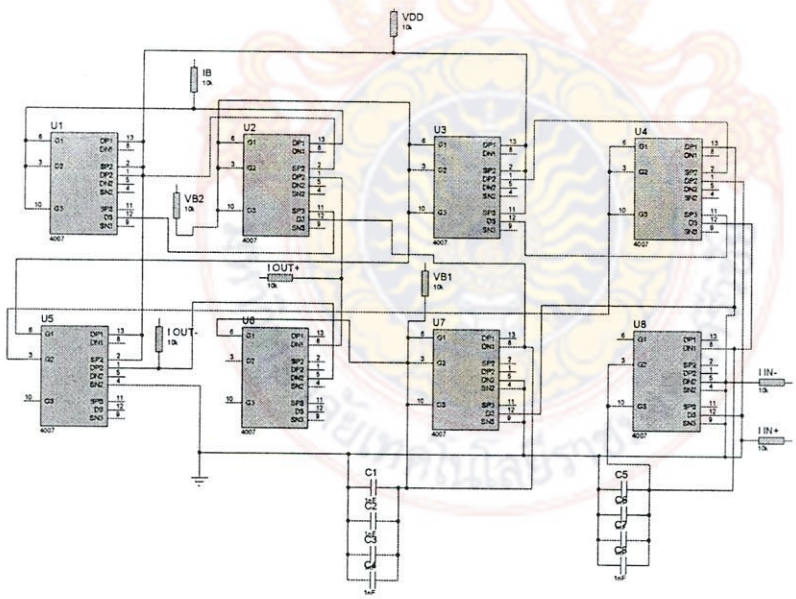
รูปที่ 3.11 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์ เมื่อกำหนดให้ φ มีค่าเท่ากับ 0.1

ตารางที่ 3.2 คุณสมบัติของวงจรอินทีเกรเตอร์ที่นำเสนอ

พารามิเตอร์	ผลการทดลอง
แหล่งจ่ายแรงดัน	1.5 V
กระแสไบอัสวงจร	25 - 140 µA
อัตราขยายไฟตรง	58 เดซิเบล @ I_{Bias} = 100 µA เมื่อ φ =0.0
อัตราขยายไฟตรง	86 เดซิเบล @ I_{Bias} = 100 µA เมื่อ φ =0.1
ความผิดเพี้ยนฮาร์โมนิกส์รวม	0.9 % @ $\frac{i_{diff}}{I_{Bias}} = 0.6$, 200MHz
สัญญาณรบกวนอินพุต	100 $pA/\sqrt{Hz}$ @ 200MHz
ความถี่ที่อัตราขยายเท่ากับหนึ่ง (f_T)	100 - 300 MHz
กำลังงานสูญเสีย	0.9 mW @ I_{Bias} = 100 µA

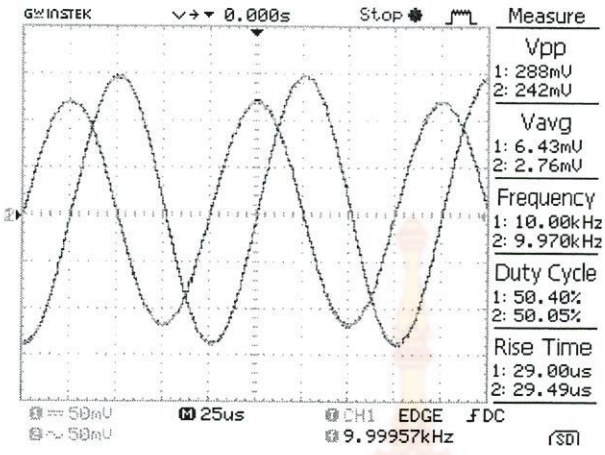
3.3 ผลการทำงานของวงจรอินทีเกรเตอร์ที่ออกแบบโดยใช้อุปกรณ์ในท้องตลาด

วงจรอินทีเกรเตอร์ที่แสดงในรูปที่ 3.1 ถูกนำมาออกแบบการทำงานโดยใช้ทรานซิสเตอร์ที่มีอยู่ในท้องตลาดซึ่งเป็นอุปกรณ์ที่ถูกสร้างขึ้นมาในรูปแบบของวงจรรวม (ไอซี) ในการออกแบบเลือกใช้ทรานซิสเตอร์ เบอร์ MC14007ub และ เบอร์ IRFG6110 การออกแบบใช้แหล่งจ่ายไฟเลี้ยง (V_{DD}) ขนาด 5 โวลต์ ดังแสดงในรูปที่ 3.14 และรูปที่ 3.15 ตามลำดับ

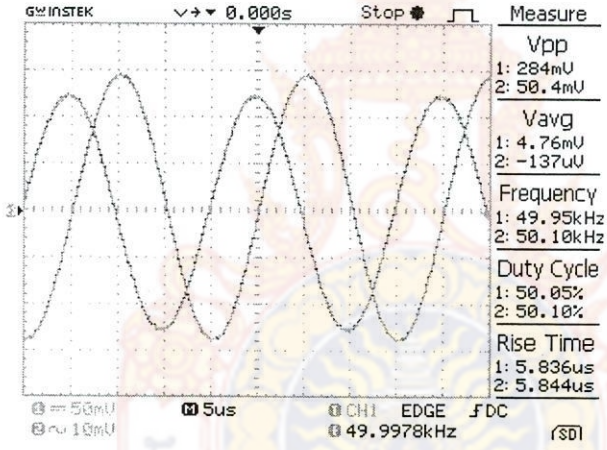


รูปที่ 3.14 วงจรอินทีเกรเตอร์ที่ออกแบบโดยใช้ทรานซิสเตอร์ เบอร์ MC14007ub

อัตราการขยายเท่ากับหนึ่งมีค่าเท่ากับ 10 kHz โดยทำการวัดสัญญาณที่ความถี่ 10 kHz และ 50 kHz ตามลำดับ จากรูปคลื่นสัญญาณที่วัดได้พบว่าเฟสของสัญญาณอินพุตและสัญญาณเอาต์พุตมีเฟสต่างกันประมาณ -90 องศา ซึ่งมีคุณสมบัติสอดคล้องกับทางทฤษฎี



รูปที่ 3.17 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์ที่ความถี่ 10 kHz



รูปที่ 3.18 ผลการตอบสนองทางเวลาของวงจรอินทีเกรเตอร์ที่ความถี่ 50 kHz

รูปที่ 3.19 แสดงการตอบสนองความถี่ของวงจรอินทีเกรเตอร์ วงจรถูกออกแบบให้ความถี่ที่อัตราการขยายเท่ากับหนึ่งมีค่าเท่ากับ 10 kHz ตัวเก็บประจุ C_1 มีค่าเท่ากับ 200 nF และค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์มีค่าประมาณ 550 $\mu A/V$ ที่กระแสไบอัส 100 มิลลิแอมป์ ค่าอัตราขยายของวงจรมีค่าเท่ากับ 47 เดซิเบล วงจรอินทีเกรเตอร์สามารถปรับจูนความถี่ได้โดยการปรับกระแสไบอัสของวงจร (อัตราการขยายเท่ากับหนึ่งที่ความถี่ 10 kHz และ10 kHz ตามลำดับ)

บทที่ 4
วงจรกรองความถี่ต่ำผ่านทำงานในโหมดกระแส

4.1 กล่าวนำ

วงจรกรองความถี่ในทางไฟฟ้าเป็นวงจรที่ทำหน้าที่แปลงสัญญาณอินพุตเพื่อให้ได้สัญญาณเอาต์พุตตามต้องการ โดยสัญญาณเหล่านี้จะถูกพิจารณาในโดเมนของเวลาและโดเมนของความถี่ (Time Domain and Frequency Domain) ซึ่งการพิจารณาในโดเมนของความถี่นั้น วงจรกรองความถี่จะเป็นวงจรที่ใช้เลือกความถี่ โดยจะยอมให้สัญญาณผ่านไปได้เฉพาะความถี่ที่ต้องการ และจะลดทอนสัญญาณความถี่ที่ไม่ต้องการออกไป

รูปที่ 4.1 บล็อกไดอะแกรมวงจรกรองความถี่

เมื่อป้อนสัญญาณอินพุต ($V_{in}(s)$ หรือ $I_{in}(s)$) เข้าสู่วงจรกรองความถี่ดังแสดงในรูปที่ 4.1 ทำให้ได้สัญญาณเอาต์พุต ($V_o(s)$ หรือ $I_o(s)$) และ เฟส $\theta(s)$ ซึ่งจะขึ้นอยู่กับความถี่อินพุต (ω) ของวงจร อัตราส่วนระหว่างสัญญาณเอาต์พุตต่อสัญญาณอินพุตก็คือ ฟังก์ชันการถ่ายโอน (Transfer Function : $H(s)$) นำมาเขียนในโหมดของแรงดันหรือโหมดของกระแส แสดงในสมการที่ (4.1)

$$H(s)=\frac{V_o(s)}{V_{in}(s)} \quad \text{หรือ} \quad H(s)=\frac{I_o(s)}{I_{in}(s)} \tag{4.1}$$

สมการที่ (4.1) สามารถเขียนให้อยู่ในรูปของการตอบสนองความถี่ทางขนาดและทางเฟสได้ดังนี้

$$H(s)=\left|H(j\omega)\right|e^{j\theta(\omega)} \tag{4.2}$$

โดยที่ $s=j\omega$

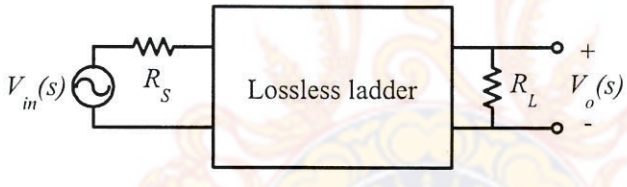
เมื่อ $\left|H(j\omega)\right|$ คือขนาดของอัตราการขยายของฟังก์ชันการถ่ายโอน นิยมวัดเป็นหน่วยเดซิเบล (dB) และ $\theta(\omega)$ คือ เฟสของฟังก์ชันการถ่ายโอน จากฟังก์ชันการถ่ายโอนสามารถเขียนให้อยู่ในรูปทั่วไปได้ดังนี้ คือ

2. วิธีการจำลองการดำเนินการ (Function simulation of LC Ladder) วิธีนี้จะจำลองการทำงานเลียนแบบสมการของวงจรกรองความถี่แบบเฉื่อยงาน

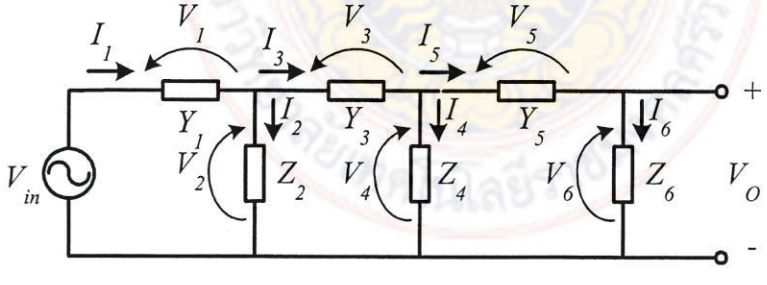
จากวิธีการออกแบบวงจรกรองความถี่อันดับสูงทั้ง 3 วิธี ดังแสดงในเบื้องต้น สรุปได้ว่าวงจรกรองความถี่ที่ใช้วิธีการจำลองขั้นบันได จะได้ค่าความไวของวงจรต่ำที่สุด ในงานวิจัยนี้เราเลือกใช้วิธีการจำลองการดำเนินการในการสังเคราะห์วงจรกรองความถี่อันดับสูง เนื่องจากใช้จำนวนอุปกรณ์น้อยกว่า วิธีแทนอุปกรณ์ ทำให้วงจรสิ้นเปลืองกำลังงานต่ำและมีค่าความไวที่ต่ำ

4.2 ทฤษฎีและหลักการออกแบบจรกรองความถี่ด้วยวิธีการเลียนแบบการทำงานวงจร กรองความถี่ขั้นบันได

การออกแบบวงจรกรองความถี่โดยใช้วิธีการจำลองดำเนินการเลียนแบบการทำงานวงจรกรองความถี่ขั้นบันได โดยใช้โครงสร้างของวงจรกรองความถี่แบบเฉื่อยงานที่มีตัวต้านทานสิ้นสุดคู่ (Doubly terminated LC ladder) เป็นโครงสร้างพื้นฐานในการสังเคราะห์วงจรกรองความถี่แบบแอคทีฟ เนื่องจากวงจรดังกล่าวมีค่าความไวของวงจรต่ำและสามารถส่งผ่านกำลังงานได้สูงสุด (Deliyannis, et al., 1999) ดังแสดงในรูปที่ 4.2

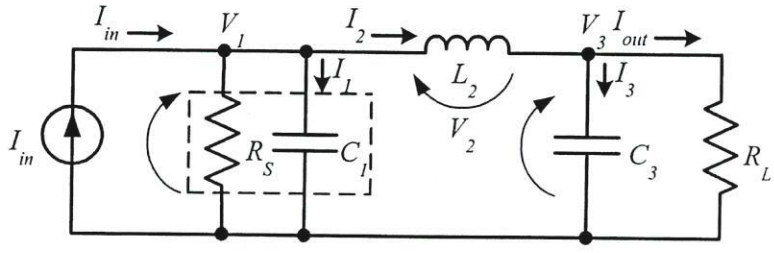


รูปที่ 4.2 บล็อกไดอะแกรมวงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงานที่มีตัวต้านทานสิ้นสุดคู่



รูปที่ 4.3 วงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงาน

ในการสังเคราะห์วงจรกรองความถี่แบบแอคทีฟ จะนำวงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงานมาวิเคราะห์หาค่าสมการกระแสและแรงดัน โดยใช้กฎกระแสและแรงดันของเคอร์



รูปที่ 4.5 วงจรกรองความถี่ต่ำผ่านแบบเฉื่อยงาน อันดับที่ 3

จากวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบเฉื่อยงานดังที่แสดงในรูปที่ 4.5 ถูกนำมาวิเคราะห์ความสัมพันธ์ของกระแสและแรงดันที่โนดและที่กิ่งต่างๆ ตามลำดับ โดยใช้กฎกระแสและแรงดันของเคอร์ซอฟท์ ได้ดังนี้

$$V_1 = I_1 Z_1 = \frac{1}{sC_1 + G_S}\left(I_{in} - I_2\right) \tag{4.16}$$

$$I_2 = V_2 Y_2 = \frac{1}{sL_2}\left(V_1 - V_3\right) \tag{4.17}$$

$$V_3 = I_2 Z_3 = \frac{1}{sC_3 + G_L} I_2 \tag{4.18}$$

จากสมการที่ (4.16) ถึงสมการที่ (4.18) ทำการเปลี่ยนค่าแรงดันให้อยู่ในรูปของกระแสด้วยการเปลี่ยนรูปสมการด้วยค่าความต้านทาน R_P จะได้

$$\frac{V_1}{R_P} = \frac{Z_1}{R_P}\left(I_{in} - I_2\right) \quad ==> \quad I_1 = X_{Z1}\left(I_{in} - I_2\right) \tag{4.19}$$

$$I_2 = Y_2 R_P\left(\frac{V_1}{R_P} - \frac{V_3}{R_P}\right) ==> \quad I_2 = X_{Y2}\left(I_1 - I_3\right) \tag{4.20}$$

$$\frac{V_3}{R_P} = \frac{Z_3}{R_P}\left(I_2\right) \quad ==> \quad I_3 = X_{Z3}\left(I_2\right) \tag{4.21}$$

สมการที่ (4.19) ถึงสมการที่ (4.21) เป็นการเปลี่ยนค่าแรงดันให้อยู่รูปของค่ากระแส โดยที่ X_{Z1} X_{Y2} และ X_{Z3} คือฟังก์ชันการถ่ายโอนของวงจรอินทีเกรเตอร์ทำงานในโหมดกระแส ที่มีค่าคงตัวเวลาสอดคล้องกับค่าของอุปกรณ์ R L และ C ในวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบเฉื่อยงาน

เมื่อแทนค่าฟังชั่นการถ่ายโอนของวงจรอินทีเกรเตอร์ที่ได้ถูกนำเสนอในบทที่ 3 ลงใน X_{Z1} X_{Y2} และ X_{Z3} จะได้ว่า

$$I_1 = \frac{1}{s\tau_1}\left(I_{in} - I_1 - I_2\right) \tag{4.22}$$

$$I_2 = \frac{1}{s\tau_2}\left(I_1 - I_3\right) \tag{4.23}$$

ส่วนกลับ (Inverse Chebyshev) แบบเบสเซล (Bessel) และแบบเอลลิพติก (Elliptic) ที่ค่าความถี่หนึ่งเรเดียนต่อวินาที (rad/s) ตั้งแต่อันดับต่ำจนถึงอันดับที่สูง ดังนั้นในการนำความต้านทาน ตัวเก็บประจุและขดลวดเหนี่ยวนำ ที่ได้จากตารางค่ามาตรฐานของวงจรกรองความถี่มาออกแบบใช้งานที่ค่าความถี่ต่างๆ เราจำเป็นต้องปรับเปลี่ยนค่าของอุปกรณ์ในวงจรให้เป็นไปตามค่าความถี่และอิมพีแดนซ์ที่เราต้องการ เรียกวิธีการนี้ว่า การสเกลลิ่ง (Scaling) การสเกลสามารถแบ่งออกได้เป็น 2 แบบคือ การสเกลทางขนาดและการสเกลทางความถี่

1. การสเกลทางขนาด (Magnitude scaling)

การสเกลทางขนาด คือการเปลี่ยนแปลงค่าอิมพีแดนซ์ของอุปกรณ์ทุกตัวในวงจรด้วยตัวประกอบ k_m โดยที่อิมพีแดนซ์ของอุปกรณ์ในวงจรกรองความถี่ประกอบไปด้วย

$$Z_R = R \ , Z_L = j\omega L \text{ และ } Z_C = \frac{1}{j\omega C} \tag{4.26}$$

ขนาดของอิมพีแดนซ์ของวงจร คือ

$$|Z_R| = R \ , |Z_L| = \omega L \text{ และ } |Z_C| = \frac{1}{\omega C} \tag{4.27}$$

กำหนดอัตราส่วนของการเพิ่มและ/หรือลด ด้วยสเกล k_m จะได้ว่า

$$k_m|Z_R| = k_m R \ , k_m|Z_L| = k_m \omega L \text{ และ } k_m|Z_C| = \frac{k_m}{\omega C} \tag{4.28}$$

ค่าอุปกรณ์ใหม่ที่ได้ในวงจร คือ

$$R_{new} = k_m R \tag{4.29}$$

$$L_{new} = k_m L \tag{4.30}$$

$$C_{new} = \frac{1}{k_m} C \tag{4.31}$$

2. การสเกลทางความถี่ (Frequency scaling)

การสเกลทางความถี่ คือการเปลี่ยนแปลงค่าความถี่ โดยไม่กระทบต่อค่าอิมพีแดนซ์ของค่าความต้านทาน R แต่จะมีผลกับค่าอิมพีแดนซ์ของขดลวดเหนี่ยวนำ L และตัวเก็บประจุ C โดยกำหนดให้อัตราการสเกลความถี่เท่ากับ k_f โดยที่ค่า k_f มีค่าเท่ากับ $2\pi f_C$ เมื่อ f_C คือค่าความถี่คัทออฟของวงจรกรองความถี่ ดังนั้นจะได้ค่าอุปกรณ์ใหม่ในวงจร คือ

$$R_{new} = R \tag{4.32}$$

$$L_{new} = \frac{1}{k_f} L \tag{4.33}$$

$$C_{new} = \frac{1}{k_f} C \tag{4.34}$$

สำหรับกรณีที่มีการสเกลทางขนาดและการสเกลความถี่ จะได้ค่าอุปกรณ์ใหม่ในวงจร คือ

$$R_{new} = k_m R \tag{4.35}$$

$$L_{new} = \frac{k_m}{k_f} L \tag{4.36}$$

ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอคทีฟ ดังแสดงในสมการที่ (4.25) เป็นแบบอุดมคติ ซึ่งเกิดจากวงจรอินทีเกรเตอร์แบบอุดมคติ ผลของความไม่เป็นอุดมคติของวงจรอินทีเกรเตอร์ดังที่ได้กล่าวมาแล้วในบทที่ 3 ทำให้วงจรกรองความถี่ที่ถูกสังเคราะห์ขึ้นมีคุณสมบัติที่ไม่เป็นไปอุดมคติด้วย

เมื่อแทนค่าฟังก์ชันการถ่ายโอนของวงจรอินทีเกรเตอร์แบบไม่เป็นอุดมคติ (สมการที่ (3.34)) ลงใน ฟังก์ชันการถ่ายโอนของ วงจรกรองความถี่ ได้ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่แบบไม่เป็นอุดมคติ ดังแสดงได้จากสมการที่ (4.38)

$$H_{LPF}(s)=\frac{1}{b_{L6}s^6+b_{L5}s^5+b_{L4}s^4+b_{L3}s^3+b_{L2}s^2+b_{L1}s+b_{L0}} \tag{4.38}$$

เมื่อ

$$b_{L6}=\frac{1}{A_0^3}\left(\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}\right)$$

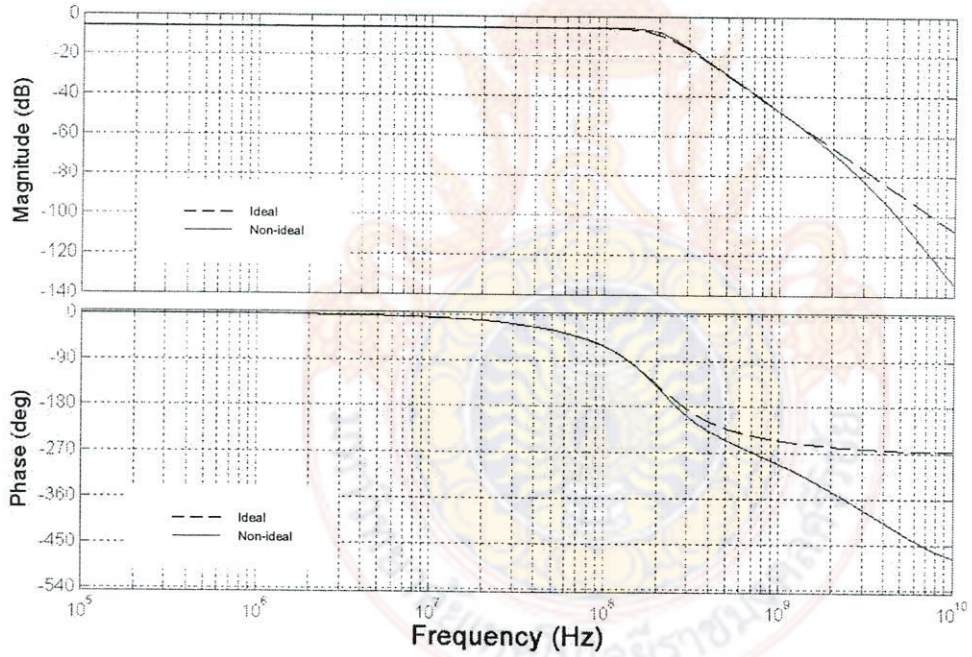
$$b_{L5}=\frac{1}{A_0^3}\left(\begin{array}{l}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\end{array}\right)$$

$$b_{L4}=\frac{1}{A_0^3}\left(\begin{array}{l}\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}+\\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}+\\ \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p2)}+\\ \tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)}+\\ \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{1(p1)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{1(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}\end{array}\right)$$

$$b_{L3}=\frac{1}{A_0^3}\left(\begin{array}{l}\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}+\\ \tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{3(p1)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{3(p1)}+\\ \tau_{1(p2)}\tau_{2(p1)}\tau_{3(p1)}+\tau_{1(p1)}\tau_{2(p2)}\tau_{3(p1)}+\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p1)}+\\ \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{3(p2)}+\\ \tau_{1(p2)}\tau_{2(p1)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{2(p2)}\tau_{3(p2)}+\tau_{1(p2)}\tau_{2(p2)}\tau_{3(p2)}+\\ \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)}+\tau_{1(p1)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{1(p2)}\tau_{3(p1)}\tau_{3(p2)}+\\ \tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}\end{array}\right)$$

$$+\frac{1}{A_0^2}\left(\begin{array}{l}\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p1)}+\tau_{1(p1)}\tau_{1(p2)}\tau_{2(p2)}+\tau_{1(p1)}\tau_{2(p1)}\tau_{2(p2)}+\\ \tau_{2(p1)}\tau_{2(p2)}\tau_{3(p1)}+\tau_{1(p2)}\tau_{2(p1)}\tau_{2(p2)}+\tau_{2(p1)}\tau_{2(p2)}\tau_{3(p2)}+\\ \tau_{2(p1)}\tau_{3(p1)}\tau_{3(p2)}+\tau_{2(p2)}\tau_{3(p1)}\tau_{3(p2)}\end{array}\right)$$

รูปที่ 4.8 แสดงผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 วงจรกรองความถี่ต่ำผ่านถูกออกแบบให้มีความถี่คัทออฟมีค่าเท่ากับ 250 เมกกะเฮิรตซ์ จากรูปที่ 4.8 พบว่าผลที่ได้จากการตอบสนองทางความถี่และการตอบสนองทางเฟสของวงจรกรองความถี่มีลักษณะที่สอดคล้องกัน กล่าวคือที่ความถี่ต่ำการตอบสนองความถี่ของวงจรกรองความถี่ทั้งแบบอุดมคติและแบบไม่เป็นอุดมคติมีค่าใกล้เคียงกัน ในขณะที่ความถี่สูงผลการตอบสนองของวงจรกรองความถี่แบบไม่เป็นอุดมคติจะเริ่มมีค่าผิดเพี้ยนไปจากแบบอุดมคติ ที่ความถี่สูงผลการตอบสนองความถี่ของวงจรมีค่าผิดพลาดก็เนื่องมาจากผลของโพลรองที่เกิดในวงจรอินทีเกรเตอร์ ในทำนองเดียวกัน การตอบสนองทางเฟสของวงจรกรองความถี่มีค่าใกล้เคียงกันที่ความถี่ต่ำ ในขณะที่ความถี่สูงการตอบสนองความทางเฟสของวงจรแบบไม่เป็นอุดมคติมีค่าไม่ถูกต้องอันเนื่องมาจากผลของโพลรอง การใช้งานวงจรกรองความถี่จึงถูกจำกัดด้วยโพลรองที่เกิดขึ้นในวงจรอินทีเกรเตอร์ ดังนั้นการออกแบบใช้งานวงจรกรองความถี่ที่ความถี่สูงจำเป็นที่จะต้องคำนึงถึงค่าตัวเก็บประจุแฝงที่เกิดขึ้นในวงจรอินทีเกรเตอร์ที่นำมาสังเคราะห์เป็นวงจรกรองความถี่ เพื่อให้วงจรสามารถทำงานได้อย่างถูกต้องมีค่าใกล้เคียงความเป็นอุดมคติมากที่สุด



รูปที่ 4.8 ผลการตอบสนองทางความถี่และเฟสของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 เปรียบเทียบระหว่างแบบอุดมคติ (Ideal) กับแบบไม่เป็นอุดมคติ (Non ideal)

4.3.2 ความไวของวงจรกรองความถี่ (Sensitivity)

พารามิเตอร์ที่สำคัญที่ควรคำนึงถึงในการออกแบบวงจรกรองความถี่คือ ค่าความไว ในการใช้งานจริงค่าของอุปกรณ์ต่างๆ ในวงจรอาจจะมีการเปลี่ยนแปลงไปจากค่าจริง ซึ่งอาจจะเกิด

$$S_{C_1}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + b_{s1}s^2 + c_{s1}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.46}$$

ในทำนองเดียวกัน ค่าความไวของวงจรเนื่องจากตัวเก็บประจุ C_2 และตัวเก็บประจุ C_3 คือ

$$S_{C_2}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + c_{s2}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.47}$$

$$S_{C_3}^{H_{LPF}(s)} = -\frac{a_{s1}s^3 + b_{s2}s^2 + c_{s3}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.48}$$

การวิเคราะห์หาค่าความไวของฟังก์ชันการถ่ายโอนที่เกิดจากค่าทรานคอนดัคแตนซ์ของวงจรอินทีเกรเตอร์ สามารถหาได้ดังต่อไปนี้

หาค่าความไวของวงจรเนื่องจากค่า g_{m1} g_{m2} และ g_{m3} แสดงในสมการที่ (4.49) ถึง สมการที่ (4.51)

$$S_{g_{m1}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + b_{s1}s^2 + c_{s1}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.49}$$

$$S_{g_{m2}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + c_{s2}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.50}$$

$$S_{g_{m3}}^{H_{LPF}(s)} = \frac{a_{s1}s^3 + b_{s2}s^2 + c_{s3}s}{a_{s1}s^3 + (b_{s1}+b_{s2})s^2 + (c_{s1}+c_{s2}+c_{s3})s + 2} \tag{4.51}$$

เมื่อพิจารณาค่าความไวของฟังก์ชันการถ่ายโอนของวงจรกรองความถี่เนื่องจากค่าตัวเก็บประจุและค่าทรานคอนดัคแตนซ์ จะสังเกตได้ว่าค่าที่ได้มีค่าสัมบูรณ์ต่ำกว่าหนึ่ง และยังพบอีกว่าผลรวมของค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ C_1 กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากทรานคอนดัคแตนซ์ g_{m1} มีค่าเป็นศูนย์หรือก็คือการเปลี่ยนแปลงของค่าตัวเก็บประจุ C_1 และค่าทรานคอนดัคแตนซ์ g_{m1} ไม่มีผลต่อฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ สำหรับกรณีค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ C_2 กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าทรานคอนดัคแตนซ์ g_{m2} และค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากตัวเก็บประจุ C_3 กับค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าทรานคอนดัคแตนซ์ g_{m3} ก็มีค่าเป็นศูนย์เช่นเดียวกัน แสดงได้ดังสมการที่ (4.52) นอกจากนี้เมื่อรวมผลค่าความไวของฟังก์ชันการถ่ายโอนเนื่องจากค่าอุปกรณ์ทั้งหมดในวงจรเข้าไว้ด้วยกัน ทำให้ได้ความไวมีค่าเท่ากับศูนย์ ดังแสดงในสมการที่ (4.53)

$$S_{C_1}^{H(s)} + S_{g_{m1}}^{H(s)} = 0 \ , \ S_{C_2}^{H(s)} + S_{g_{m2}}^{H(s)} = 0 \text{ และ } S_{C_3}^{H(s)} + S_{g_{m3}}^{H(s)} = 0 \tag{4.52}$$

$$S_{C_1}^{H(s)} + S_{C_2}^{H(s)} + S_{C_3}^{H(s)} + S_{g_{m1}}^{H(s)} + S_{g_{m2}}^{H(s)} + S_{g_{m3}}^{H(s)} = 0 \tag{4.53}$$

โดยที่

$$\alpha_1 = \frac{1}{g_{m1}} + \frac{sC_{gs2}}{g_{m1}g_{m2}}$$

ความสัมพันธ์ระหว่างสัญญาณรบกวนด้านเอาต์พุตกับสัญญาณรบกวนด้านอินพุตของวงจรกรองความถี่ แสดงในสมการที่ (4.55)

$$\overline{I^2_{n(eq)LPF}} = \frac{\overline{I^2_{no(LPF)}}}{\left(H_{LPF}(s)\right)^2} \tag{4.55}$$

ฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ในโหมดกระแส ($H_{LPF}(s)$) คือ

$$H_{LPF}(s) = \frac{H_1(s)H_2(s)H_3(s)}{H_1(s)H_2(s) + H_2(s)H_3(s) + 1} \tag{4.56}$$

จากสมการที่ (4.54) และสมการที่ (4.55) สามารถหาสัญญาณรบกวนด้านอินพุตของวงจรกรองความถี่ได้ คือ

$$\overline{I^2_{n(eq)LPF}} = \overline{I^2_{n(eq)1}} + \left(\frac{H_1(s)H_2(s) + H_2(s)H_3(s) + 1}{H_1(s)H_2(s)H_3(s) + H_1(s)}\right)^2 \overline{I^2_{n(eq)2}} + \left(\frac{H_1(s)H_2(s) + H_2(s)H_3(s) + 1}{H_1(s)H_2(s)}\right)^2 \overline{I^2_{n(eq)3}} \tag{4.57}$$

4.4 การปรับค่าคงตัวเวลาของวงจรกรองความถี่แบบอิสระ

วงจรอินทีเกรเตอร์ที่ถูกนำเสนอในบทที่ 3 สามารถปรับจูนความถี่ได้โดยการปรับค่ากระแสที่ไหลผ่านทรานซิสเตอร์ ในหัวข้อนี้จะกล่าวถึงการปรับจูน กระแสที่ไหลผ่านทรานซิสเตอร์ เพื่อไม่ทำให้วงจรอินทีเกรเตอร์ที่ต่อร่วมกันค่าคงตัวเวลา (Time constant: τ) เปลี่ยนแปลง

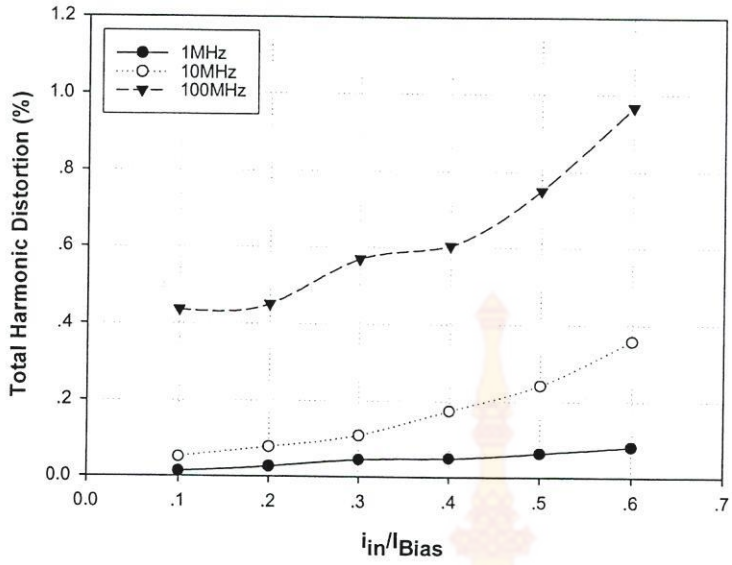
วงจรกรองความถี่ที่แสดงในรูปที่ 4.7 สามารถปรับค่าคงตัวเวลาได้ โดยการปรับค่าคงตัวเวลาของวงจรอินทีเกรเตอร์แต่ละชุด เพื่อให้การปรับค่าคงตัวเวลาของวงจรกรองความถี่เป็นไปอย่างอิสระจากกัน ในงานวิจัยนี้จึงได้นำเสนอวงจรอินทีเกรเตอร์ที่สามารถปรับค่าทรานคอนดัคแตนซ์ด้วยการปรับค่ากระแสไบอัสของวงจรโดยไม่ทำให้ค่าทรานคอนดัคแตนซ์ (ค่าคงตัวเวลา) ของวงจรอินทีเกรเตอร์ชุดอื่นเปลี่ยนแปลง จากวงจรอินทีเกรเตอร์ที่ถูกนำเสนอในบทที่ 3 (รูปที่ 3.1) จะสังเกตได้ว่าเราสามารถปรับค่าทรานคอนดัคแตนซ์ผ่านทางการปรับกระแสไบอัสโดยไม่ทำให้ค่าทรานคอนดัคแตนซ์ (ค่าคงตัวเวลา) ของวงจรอินทีเกรเตอร์ชุดอื่นเปลี่ยนแปลง ทำให้สามารถปรับค่าคงตัวเวลาของวงจรกรองความถี่ได้อย่างอิสระ การที่วงจรกรองความถี่สามารถปรับค่าคงตัวเวลาของวงจรอินทีเกรเตอร์แต่ล่ะชุดได้อย่างอิสระ ทำให้เราสามารถปรับค่าคงตัวเวลาของวงจรอินทีเกรเตอร์แต่ละชุดได้อย่างอิสระ ส่งผลให้ได้คุณสมบัติของวงจรกรองความถี่ที่แตกต่างกัน ดังจะได้แสดงต่อไปในหัวข้อที่ 4.5

ตารางที่ 4.4 ขนาดตัวเก็บประจุของวงจรกรองความถี่ ที่ความถี่คัทออฟ 250 เมกกะเฮิรตซ์

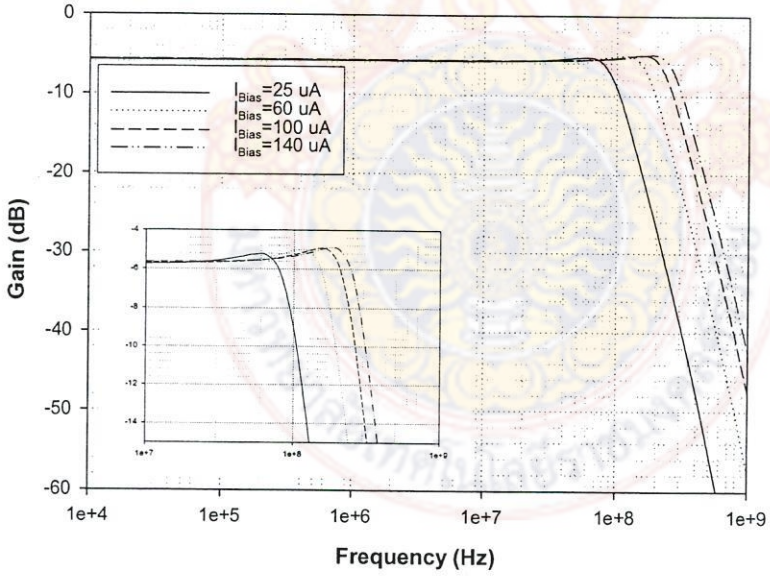
ตัวเก็บประจุ	pF
C_1	0.5
C_2	1.2
C_3	0.5

รูปที่ 4.10 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 (แบบขยายผลต่าง) แบบบัตเตอร์เวิทต์ (Butterworth) กับแบบเชบีเชพ (Chebyshev) วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 100 เมกกะเฮิรตซ์ ภายใต้การปรับค่ากระแสไบอัส (หรือค่า g_m) ที่แตกต่างกัน ซึ่งเราสามารถทำได้ด้วยการปรับค่าคงตัวเวลาได้อย่างอิสระของวงจรอินทีเกรเตอร์แบบขยายผลต่าง (รายละเอียดดูในบทที่ 3) เมื่อปรับเพิ่มค่ากระแสไบอัสในวงจรอินทีเกรเตอร์ในชุดแรก (τ_1) และชุดที่สาม (τ_3) ขณะเดียวกันกระแสไบอัสในวงจรอินทีเกรเตอร์ในชุดที่สอง (τ_2) จะถูกปรับค่าลดลงทำให้ได้วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิทต์ ในทำนองเดียวกันวงจรกรองความถี่ต่ำผ่านแบบเชบีเชพได้จากการปรับลดค่ากระแสไบอัสในชุดแรกและชุดที่สามของวงจรอินทีเกรเตอร์ และเพิ่มค่ากระแสไบอัสในวงจรอินทีเกรเตอร์ในชุดที่สอง และเมื่อปรับค่ากระแสไบอัสวงจรพร้อมกันทั้งสามชุด วงจรกรองความถี่จะปรับจูนค่าความถี่คัทออฟถี่ได้ ดังแสดงในรูปที่ 4.11 ความถี่คัทออฟของวงจรสามารถปรับค่าได้ตั้งแต่ 48 เมกกะเฮิรตซ์ จนถึง 142 เมกกะเฮิรตซ์ ด้วยการปรับค่ากระแสไบอัสวงจรจาก 25 μA จนถึง 140 μA รูปที่ 4.12 แสดงค่าความผิดเพี้ยนฮาร์โมนิกส์รวม (THD) ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิทต์ (ความถี่คัทออฟมีค่าเท่ากับ100 เมกกะเฮิรตซ์) ที่ค่าความถี่ 1 เมกกะเฮิรตซ์ 10 เมกกะเฮิรตซ์ และ 100 เมกกะเฮิรตซ์ ตามลำดับ ขนาดของสัญญาณกระแสอินพุต (i_{in}) มีค่าตั้งแต่ 0.1 จนถึง 0.6 เท่าของค่ากระแสไบอัสวงจร (I_B) เมื่อป้อนอัตราส่วนของกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6 ที่ความถี่ 100 เมกกะเฮิรตซ์ ได้ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมน้อยกว่า 0.98 เปอร์เซ็นต์ จากรูปที่ 4.12 จะเห็นได้ว่าเมื่อลดอัตราส่วนของกระแสอินพุตลงเปรียบเทียบกับกระแสไบอัสวงจรทำค่าความผิดเพี้ยนฮาร์โมนิกส์จะมีค่าลดลง

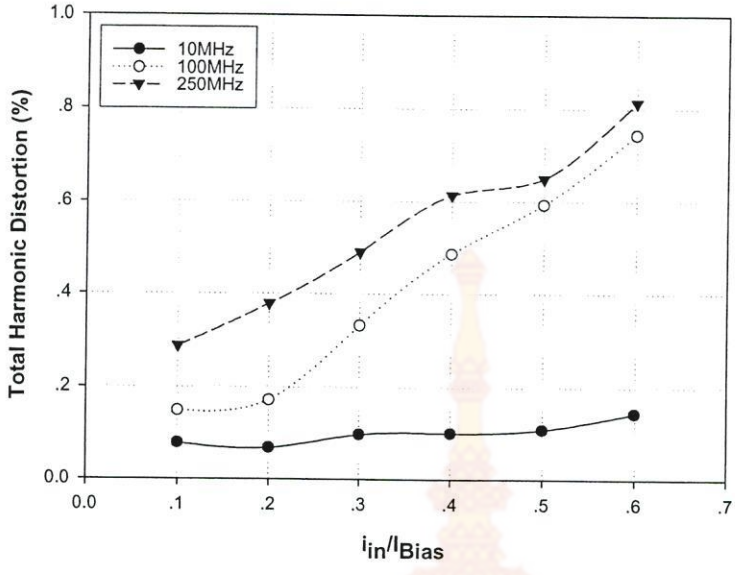
รูปที่ 4.13 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิทต์ วงจรถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 250 เมกกะเฮิรตซ์z วงจรสามารถปรับค่าความถี่คัทออฟได้ตั้งแต่ 97 เมกกะเฮิรตซ์ ถึง 290 เมกกะเฮิรตซ์ ด้วยการปรับค่ากระแสไบอัสวงจรพร้อมๆกันตั้งแต่ 25 μA จนถึง 140 μA รูปที่ 4.14 แสดงการตอบสนองทางเวลาของวงจรกรองความถี่ เมื่อป้อนสัญญาณกระแสอินพุตขนาด 40 μA ที่ความถี่ 250 เมกกะเฮิรตซ์ เข้าสู่วงจรกรองความถี่แบบขยายความแตกต่าง วัดสัญญาณกระแสเอาต์พุตได้มีค่าเท่ากับ 14 μA ที่ความถี่ 250 เมกกะเฮิรตซ์ พบว่า ขนาดของสัญญาณกระแสเอาต์พุตมีค่าเป็น 0.707 เท่า ของขนาดสัญญาณกระแสเอาต์พุตที่ความถี่ต่ำ



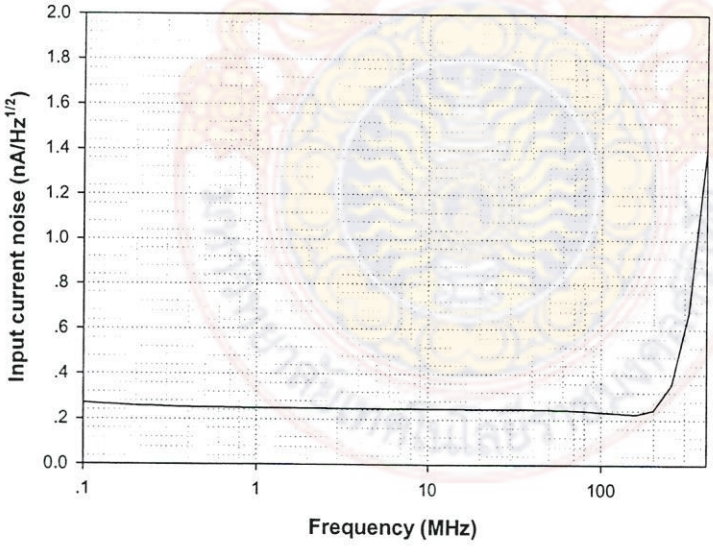
รูปที่ 4.12 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 100 เมกกะเฮิรตซ์)



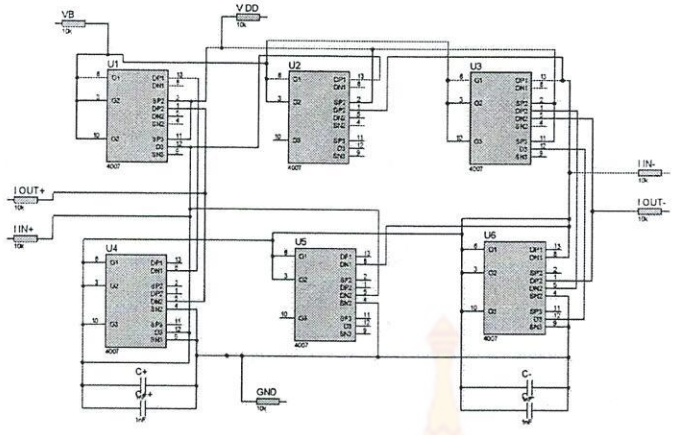
รูปที่ 4.13 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน เมื่อปรับกระแสไบอัสค่าต่างๆ



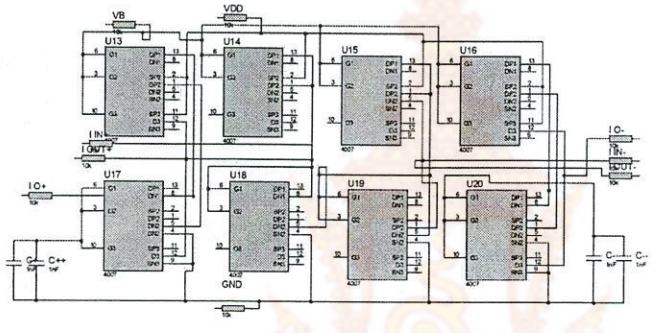
รูปที่ 4.15 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ ที่ขนาดสัญญาณค่าต่างๆ (ความถี่คัทออฟมีค่าเท่ากับ 250 เมกกะเฮิรตซ์)



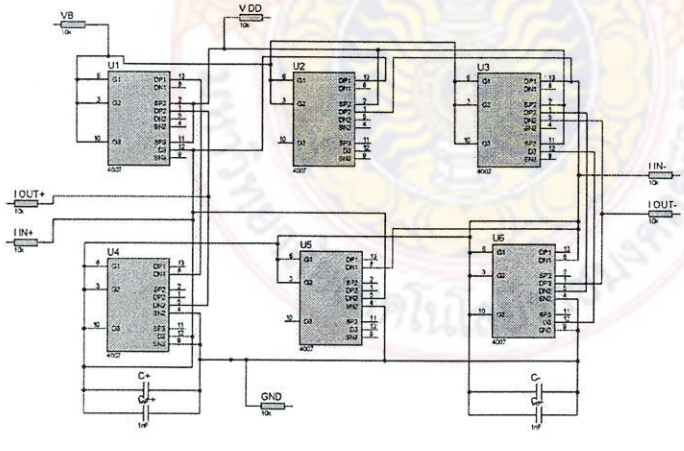
รูปที่ 4.16 สัญญาณรบกวนอินพุต ของวงจรกรองความถี่



(ก) บล็อกไดอะแกรมวงจรอินทีเกรเตอร์ ชุดที่ 1

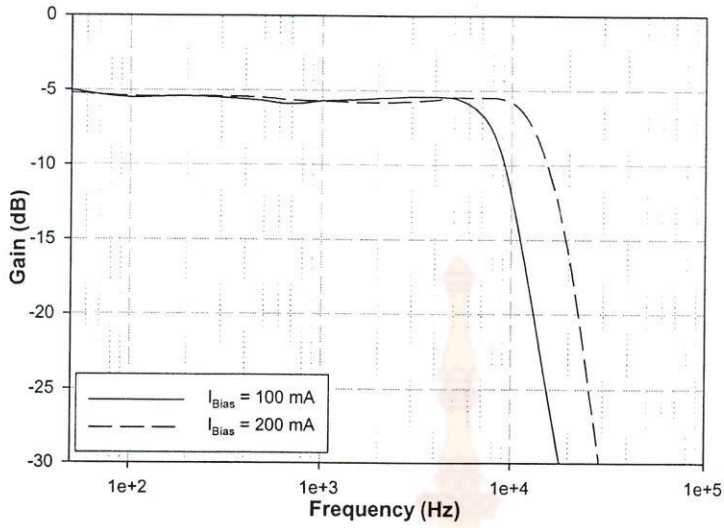


(ข) บล็อกไดอะแกรมวงจรอินทีเกรเตอร์ ชุดที่ 2



(ค) บล็อกไดอะแกรมวงจรอินทีเกรเตอร์ ชุดที่ 3

รูปที่ 4.17 วงจรกรองความถี่ที่ออกแบบจากวงจรอินทีเกรเตอร์โดยใช้ทรานซิสเตอร์เบอร์ MC14007ub



รูปที่ 4.20 การตอบสนองความถี่ของวงจรกรองความถี่เมื่อปรับกระแสไบอัสค่าต่างๆ

4.7 บทสรุป

วงจรกรองความถี่เป็นวงจรที่มีความสำคัญโดยทำหน้าที่เลือกสัญญาณอินพุตเพื่อให้ได้สัญญาณเอาต์พุตตามต้องการ โดยจะยอมให้สัญญาณผ่านไปได้เฉพาะความถี่ที่ต้องการ

ในบทนี้ได้นำเสนอวงจรกรองความถี่แบบแอคทีฟแบบขยายผลต่าง วงจรถูกสร้างมาจากวงจรอินทีเกรแตอร์ ด้วยวิธีการเลียนแบบการทำงานวงจรกรองความถี่ขั้นบันไดแบบเฉื่อยงาน โดยได้ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน อันดับที่ 3 วงจรกรองความถี่ต่ำผ่านถูกออกแบบให้ความถี่คัทออฟมีค่าเท่ากับ 100 เมกกะเฮิรตซ์ และ 250 เมกกะเฮิรตซ์ วงจรที่ถูกนำเสนอสามารถปรับจูนค่าคงตัวเวลาได้อย่างอิสระ ทำให้ได้วงจรกรองความถี่บัตเตอร์เวิทต์และแบบเชบีเชพในวงจรเดียวกัน นอกจากนี้ยังสามารถปรับจูนค่าความถี่คัทออฟของวงจรได้อีกด้วย นอกจากนี้ยังได้ทดสอบการทำงานของวงจรกรองความถี่โดยใช้อุปกรณ์ที่มีใช้ในท้องตลาด พบว่าวงจรสามารถทำงานได้สอดคล้องกับทฤษฎีดังแสดงให้เห็นในผลการทดลอง

บรรณานุกรม

[1] จิรยุทธ์ มหัทธนกุล, (2001). การออกแบบวงจรกรองแอนะล็อก. กรุงเทพฯ: แมคกรอ-ฮิล อินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์.

[2] Chul AHN, J. and Fujii, N. (1996). **Current-Mode Filters Continuous-Time Filters Using Complementary Current Mirror Pairs.** IEICE Trans. Fundamentals, vol. E78-A, no.2, Feb. 1996: 168-175.

[3] De Heij, W.J., Seevinck, A. and KHoen, E. (1989). **Practical formulation of the relation between filterspecifications and the requirements for integrator circuits.** IEEE Transactions on Circuits and Systems, vol.36, no.8, Aug. 1989: 1124-1128.

[4] Deliyannis, T., Yichuang, S. and Fidler, J.K., (1999). **Cotinuous-Time Active Filter**. CRC Press LLC, London.

[5] Fujii, N. (1998). **High frequency low voltage current mode analog integrable filters.** Bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 1998, Sept. 1998: 47 – 52.

[6] Galvez-Durand, F. (1996). **Low-voltage current-mode filters**. IEEE 39th Midwest symposium on Circuits and Systems, vol.2, Aug. 1996: 911- 914.

[7] Gopinathan, V., Tsivdis, P.Y., Tan, S.K. and Hester, K.R. (1990). **Design considerations for high-frequency continuous-time filter and implementation of an anti-aliasing filter for digital video**. IEEE J. Solid-State Circuits, 25:1368-1378.

[8] Gray, P.R., Hurst, P.J., Lawis, S.H. and Mayer, R.G. (2001). **Analysis and Design of Analog Integrated Circuits**. 4th edition. John wiley&Song,Inc., New York.

[9] Khoury, M.J. (1991). **Design of a 15MHz CMOS continuous-filter with on-chip tuning.** IEEE J. Solid-State Circuits, vol. 25, no.12, Dec. 1991: 1988-1997.

[10] Khorramabadi, H. and Gray, R.P. (1984). **High frequency CMOS continuous-time.** IEEE J. Solid-State Circuits, SC-1: 939-948.

[11] Lee, S.S., Zele, H.R. and Allstot, D.J., (1993). **CMOS continuous-time Current-Mode Filter for High-frequency Applications**. IEEE J. Solid-State Circuits, vol.28, no.3, March. 1993: 323-329.

[12] Nauta, B. (1992). **A CMOS transconductance-C filter technique for very high frequencies**. IEEE J. Solid-State Circuits, 27: 142-153.

[13] Orchard, H.J. (1966). **Introductorless filters**. Electron. Lett. 2, 196:224 – 225.

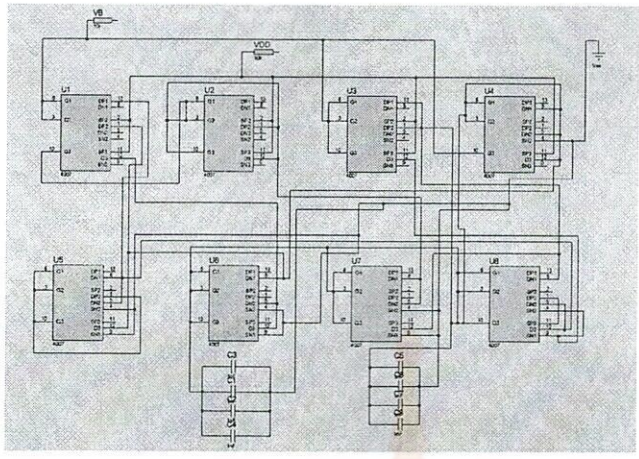
[25] Zele, R.H. and Allstot, D.J. (1996). **Low-power CMOS continuous-time filters**. IEEE Journal of Solid-State Circuits, vol.31, Feb. 1996: 157 – 168.

ภาคผนวก

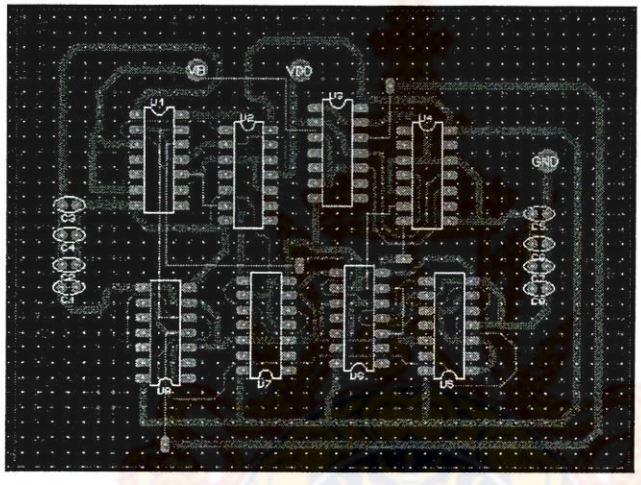
ภาคผนวก ก.

การออกแบบลายวงจรพิมพ์ (PCB) วงจรอินทีเกรเตอร์และวงจรกรองความถี่ โดยใช้โปรแกรม PROTEUS

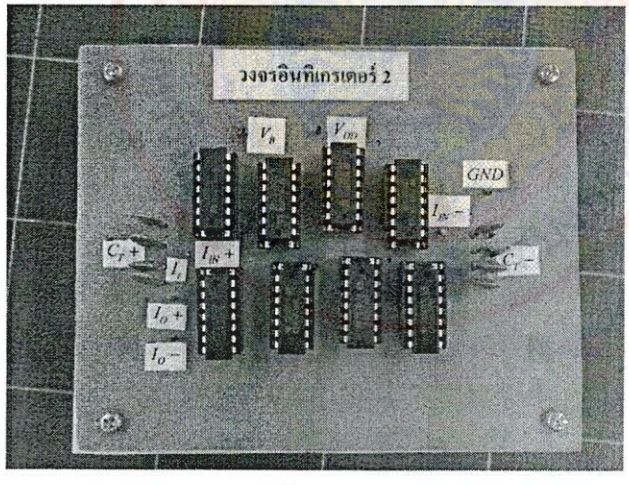
วงจรอินทีเกรเตอร์ ชุดที่ 1



(ก) วงจรอินทีเกรเตอร์ที่ออกแบบด้วยอุปกรณ์จริง



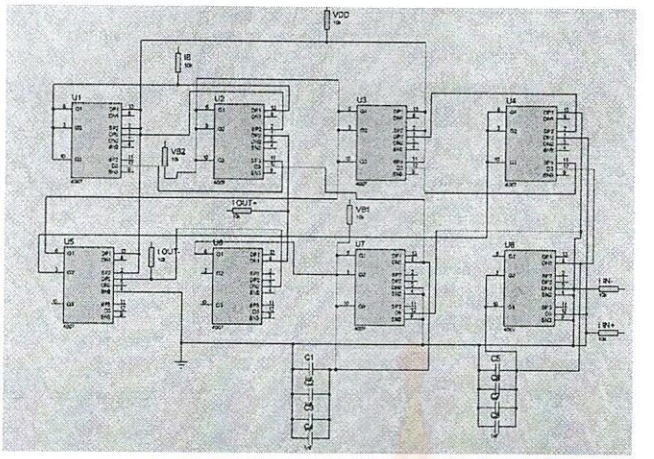
(ข) แผ่นลายวงจรพิมพ์



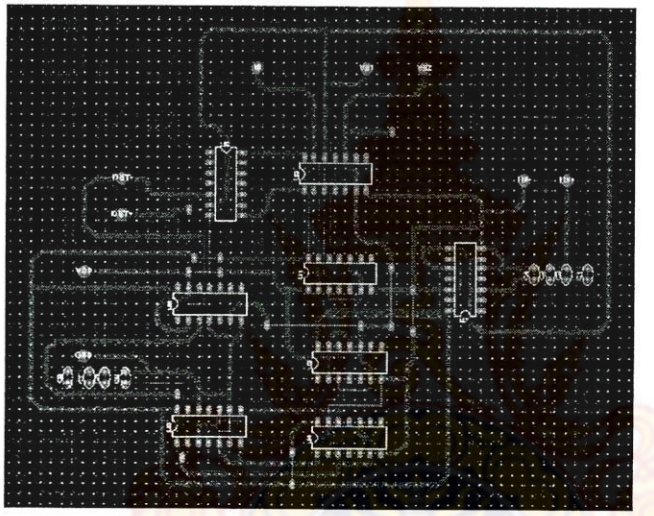
(ค) วงจรอินทีเกรเตอร์ที่ประกอบลงแผ่นวงจรพิมพ์

รูปที่ ผ.1 วงจรอินทีเกรเตอร์ที่ใช้ในการทดลอง ชุดที่ 1

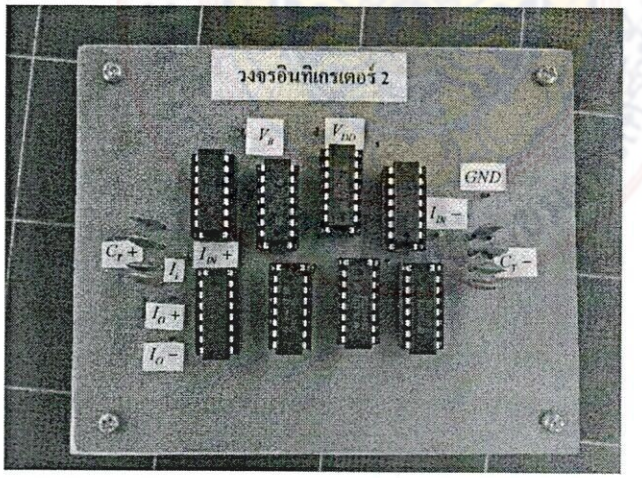
วงจรอินทีเกรเตอร์ ชุดที่ 2



(ก) วงจรอินทีเกรเตอร์ที่ออกแบบด้วยอุปกรณ์จริง



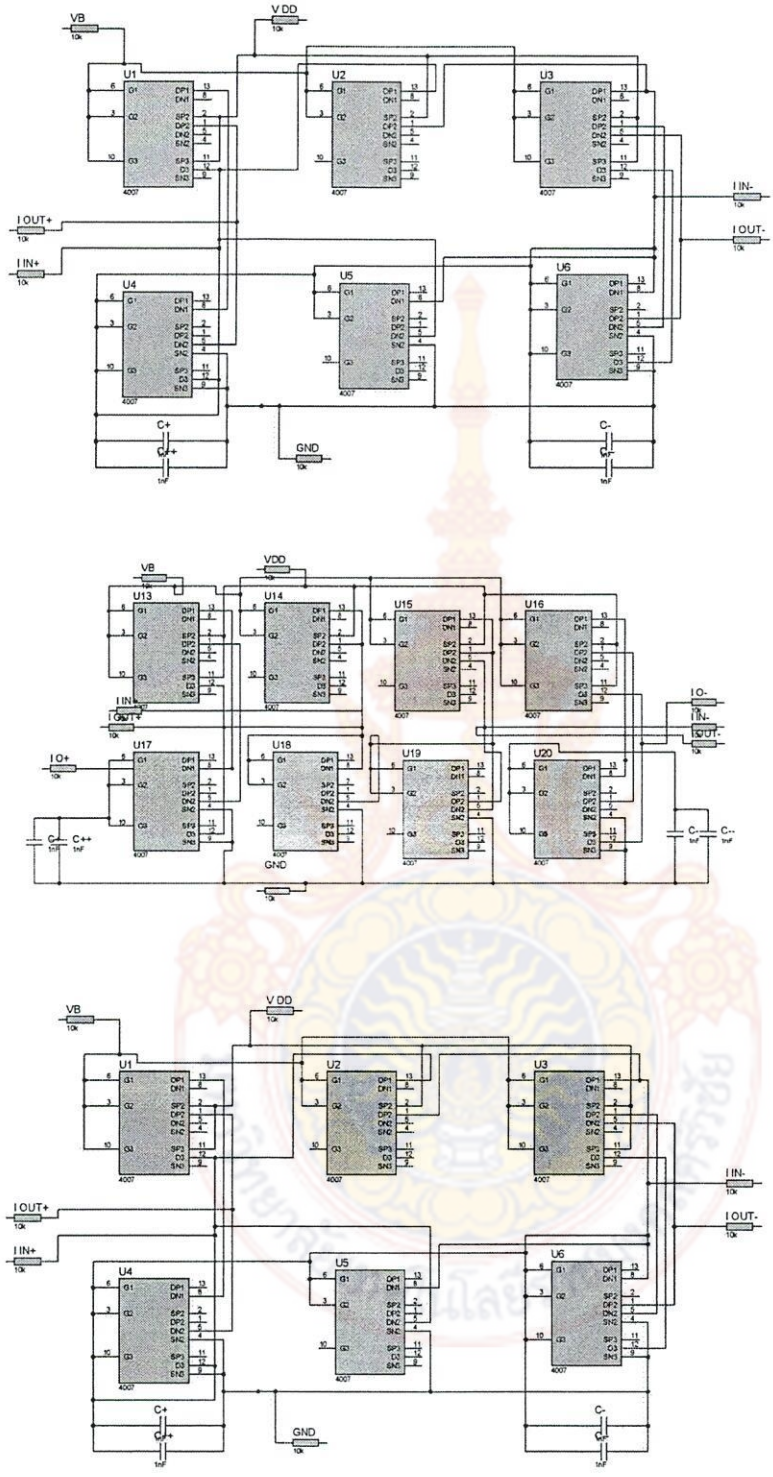
(ข) แผ่นลายวงจรพิมพ์



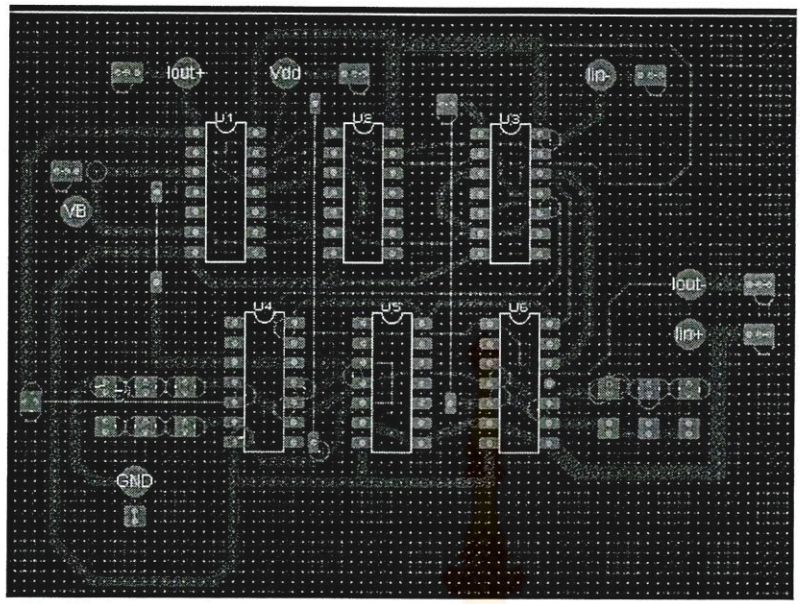
(ค) วงจรอินทีเกรเตอร์ที่ประกอบลงแผ่นวงจรพิมพ์

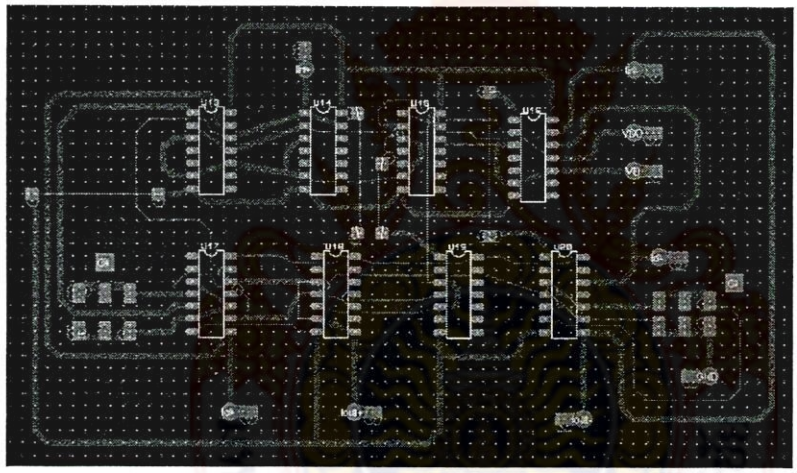
รูปที่ ผ.2 วงจรอินทีเกรเตอร์ที่ใช้ในการทดลอง ชุดที่ 2

วงจรกรองความถี่

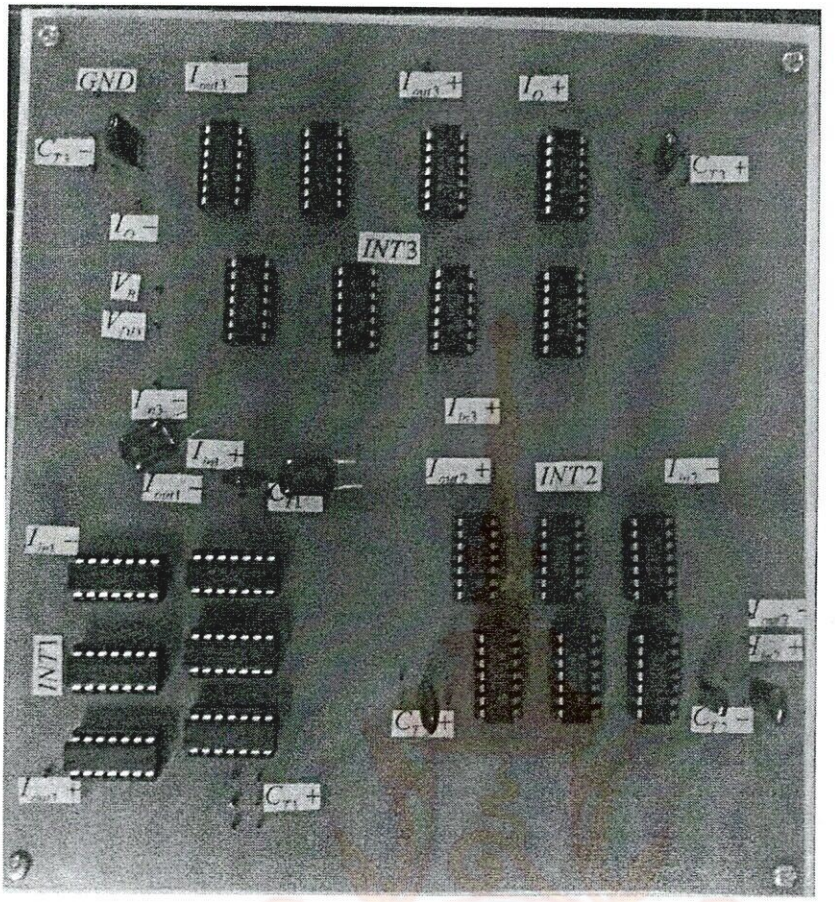


รูปที่ ผ.3 วงจรกรองความถี่ อันดับที่ 3 ที่ออกแบบจากวงจรอินทีเกรเตอร์ที่นำเสนอ





รูปที่ ผ.4 แผ่นลายวงจรพิมพ์ของวงจรกรองความถี่ อันดับที่ 3



รูปที่ ผ.5 วงจรกรองความถี่ อันดับที่ 3 ที่ประกอบลงแผ่นวงจรพิมพ์

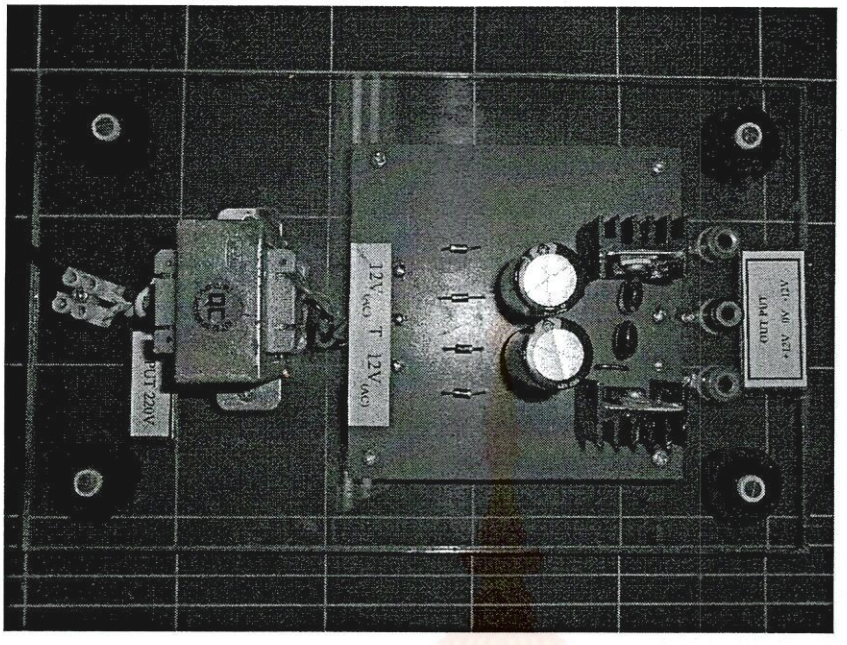
ภาคผนวก ข.

การวัดและทดสอบวงจรด้วยออสซิลโลสโคป

(ก)

(ข)

รูปที่ ผ.6 การวัดและทดสอบวงจรด้วยออสซิลโลสโคป



รูปที่ ผ.7 วงจรแหล่งจ่ายไฟเลี้ยง

ภาคผนวก ค.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

การประชุมวิชาการมหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 3

ณ ศูนย์ประชุมสถาบันวิจัยจุฬาภรณ์ กรุงเทพฯ

วันที่ 24-26 พฤศจิกายน 2553

การออกแบบวงจรอินทีเกรเตอร์แบบไม่สูญเสียที่มีอัตราการขยายสูงทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์

เสนอ สะอาด[1] และ ดรุณี ชายทอง[1]

[1]หลักสูตรวิศวกรรมอิเล็กทรอนิกส์ สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย
1 หมู่ 5 ถ.ราชดำเนินนอก ต.บ่อยาง อ.เมือง จ.สงขลา 90000
โทรศัพท์: +66(74)-317-162 โทรสาร: +66(74)-317-163 E-mail: saner.s@rmutsv.ac.th

บทคัดย่อ บทความนี้นำเสนอวงจรอินทีเกรเตอร์แบบไม่สูญเสียโดยใช้ซีมอสทรานซิสเตอร์ทำงานในโหมดกระแสแบบขยายผลต่างถูกสร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำสามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำและมีการชดเชยการสูญเสียที่เกิดขึ้นในวงจรอินทีเกรเตอร์ส่งผลให้มีอัตราการขยายสูง วงจรอินทีเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 โดยใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน ที่ความถี่คัตออฟเท่ากับ 200 เมกะเฮิรตซ์ สามารถปรับจูนความถี่ได้ในช่วง 92 - 250 เมกะเฮิรตซ์ นอกจากนั้นวงจรกรองความถี่ยังได้ถูกออกแบบให้สามารถปรับจูนได้อย่างอิสระ ส่งผลทำให้ได้วงจรกรองความถี่ ที่มีความแตกต่างกันภายในโครงสร้างวงจรเดียวกัน ดังแสดงให้เห็นในผลการทดลอง เช่น แบบบัตเตอร์เวิทต์ และแบบเชบีเชฟ

คำสำคัญ การจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันได วงจรสะท้อนกระแส วงจรอินทีเกรเตอร์แบบขยายผลต่าง วงจรกรองความถี่ทำงานในโหมดกระแส

การออกแบบวงจรอินทีเกรเตอร์แบบไม่สูญเสียที่มีอัตราการขยายสูงทำงานภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์

เสนอ สะอาด[1]* และ ดรุณี ชายทอง[1]

บทคัดย่อ บทความนี้นำเสนอวงจรอินทีเกรเตอร์แบบไม่สูญเสียโดยใช้ซีมอสทรานซิสเตอร์ทำงานในโหมดกระแสแบบขยายผลต่างถูกสร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำสามารถทำงานได้ภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ และมีการชดเชยการสูญเสียที่เกิดขึ้นในวงจรอินทีเกรเตอร์ส่งผลให้มีอัตราการขยายสูง วงจรอินทีเกรเตอร์ดังกล่าวถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 โดยใช้เทคโนโลยีซีมอสขนาด 0.5 ไมครอน ที่ความถี่คัตออฟเท่ากับ 200 เมกะเฮิรตซ์ สามารถปรับจูนความถี่ได้ในช่วง 92 - 250 เมกะเฮิรตซ์ นอกจากนั้นวงจรกรองความถี่ยังได้ถูกออกแบบให้สามารถปรับจูนได้อย่างอิสระ ส่งผลทำให้ได้วงจรกรองความถี่ที่มีความแตกต่างกันภายในโครงสร้างวงจรเดียวกัน ดังแสดงให้เห็นในผลการทดลอง เช่น แบบบัตเตอร์เวิทต์และแบบเชบีเชฟ

คำสำคัญ การจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันได วงจรสะท้อนกระแส วงจรอินทีเกรเตอร์แบบขยายผลต่าง วงจรกรองความถี่ทำงานในโหมดกระแส

1. บทนำ

ในการออกแบบวงจรอิเล็กทรอนิกส์ปัจจุบัน ได้มุ่งเน้นให้วงจรสามารถทำงานได้ที่ความถี่สูงภายใต้แหล่งจ่ายแรงดันต่ำและมีการสูญเสียกำลังงานน้อย ดังนั้นวงจรที่ทำงานในโหมดกระแสจึงเป็นอีกทางเลือกหนึ่งที่น่าสนใจ ทั้งนี้เนื่องจากวงจรที่ทำงานในโหมดกระแส สามารถทำงานได้ดีที่ความถี่สูง นอกจากนี้ การบวกลบกระแส การคัดลอกกระแส และการกำหนดอัตราส่วนกระแสสามารถทำได้ง่ายภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ [1] วงจรกรองความถี่เป็นวงจรอิเล็กทรอนิกส์อีกวงจรหนึ่งที่มีความสำคัญ ถูกนำมาประยุกต์ใช้งานหลากหลายเช่น การประมวลผลสัญญาณเสียงและภาพ ระบบการวัด เครื่องมือวัด ระบบการอ่านแถบแม่เหล็กและระบบการสื่อสารโทรคมนาคม [2]-[4]

[1]หลักสูตรวิศวกรรมอิเล็กทรอนิกส์ สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย 1 หมู่ 5 ถ.ราชดำเนินนอก ต.บ่อยาง อ.เมือง จ.สงขลา 90000 โทรศัพท์: +66(74)-317-162 โทรสาร: +66(74)-317-163
E-mail: saner.s@rmutsv.ac.th

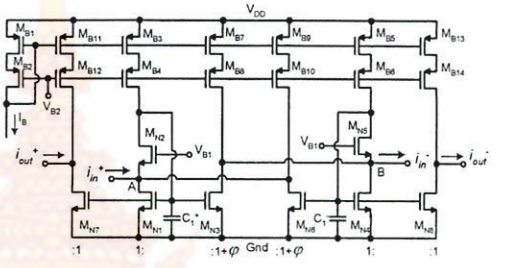
วงจรกรองความถี่ที่ถูกสร้างจากวงจรอินทีเกรเตอร์ ด้วยวิธีการจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันไดจึงเป็นทางเลือกหนึ่งที่ถูกนำมาออกแบบใช้งานกันอย่างกว้างขวาง อย่างไรก็ตาม วงจรกรองความถี่ใน [5]-[6] ถูกสร้างจากวงจรอินทีเกรเตอร์แบบขั้วเดี่ยว ซึ่งจำเป็นต้องกลับเฟสกระแสเพื่อสร้างวงจรอินทีเกรเตอร์แบบไม่สูญเสีย ทำให้วงจรต้องสิ้นเปลืองกำลังงานเพิ่มขึ้น นอกจากนี้ความผิดเพี้ยนฮาร์โมนิกส์รวมยังมีค่าสูงอีกด้วย วงจรใน [7]-[8] ถูกนำเสนอโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ ซึ่งไม่เหมาะที่จะนำไปใช้งานในวงจรที่เป็นแบบผสมระหว่างอนาล็อกและดิจิตอล วงจรใน [9] เป็นวงจรกรองความถี่แบบขยายผลต่าง วงจรต้องการแรงดันเพียง 2.5 โวลต์ สามารถทำงานได้ที่ความถี่สูงถึง 320 เมกะเฮิรตซ์ อย่างไรก็ตามวงจรต้องการกำลังงานสูญเสียสูงถึง 210 มิลลิวัตต์ วงจรกรองความถี่ที่ถูกนำเสนอใน [10] สามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงขนาด ± 1.5 โวลต์ มีความผิดเพี้ยนฮาร์โมนิกส์รวมต่ำ ต้องการกำลังงานสูญเสียเพียง 1.2 มิลลิวัตต์ แต่อย่างไรก็ตาม วงจรถูกออกแบบให้ทำงานได้ที่ความถี่ 1

เมกะเฮิรตซ์เท่านั้น วงจรใน [11] เป็นวงจรกรองความถี่แบบขยายผลต่างถูกสร้างจากวงจรสะท้อนกระแสแบบง่ายที่มีการต่อป้อนกลับแบบลบที่อินพุต โดยใช้โอทีเอเพื่อลดความต้านทานทางด้านอินพุตของวงจร การที่ต้องใช้วงจรโอทีเอทำให้ต้องสิ้นเปลืองกำลังงานเพิ่มมากขึ้น นอกจากนั้นแหล่งจ่ายแรงดันในวงจร ยังขึ้นอยู่กับความต้องการของโอทีเออีกด้วย (5 โวลต์)

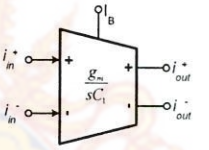
จากปัญหาดังกล่าว บทความนี้จึงได้นำเสนอวงจรอินทีเกรเตอร์แบบขยายความผลต่าง ที่มีความต้านทานอินพุตต่ำ ความต้านทานเอาต์พุตสูงทำงานได้ที่ความถี่สูงภายใต้แหล่งจ่ายแรงดันขนาด 1.5 โวลต์ วงจรที่นำเสนอถูกสร้างขึ้นจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำ [12] โดยใช้เทคนิคป้อนกลับแบบลบที่อินพุตโดยไม่ทำให้สูญเสียกำลังงานเพิ่ม นอกจากนี้วงจรยังได้ออกแบบให้วงจรอินทีเกรอเตอร์มีการชดเชยการสูญเสียที่เกิดขึ้นในวงจรเนื่องจากค่าความนำด้านเอาต์พุต ส่งผลทำให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูงและได้นำวงจรอินทีเกรเตอร์มาออกแบบเป็นวงจรกรองกรองความถี่ จากการจำลองการทำงานด้วยโปรแกรม H-spice พบว่าวงจรกรองความถี่สามารถทำงานได้ที่ความถี่ 200 เมกะเฮิรตซ์ มีความต้านทานอินพุตต่ำความต้านทานเอาต์พุตสูง ความผิดเพี้ยนฮาร์โมนิกส์รวมน้อยกว่า 1.0 เปอร์เซ็นต์ กำลังงานสูญเสีย 1.2 มิลลิวัตต์ต่อหนึ่งโพลที่กระแสไบอัส 100 ไมโครแอมป์ นอกจากนั้นวงจรวงจรอินทีเกรเตอร์ที่นำเสนอยังสามารถปรับค่าทรานคอนดักแตนซ์ได้อย่างอิสระด้วยการปรับเปลี่ยนกระแสไบอัสโดยไม่ทำให้วงจรอินทีเกรเตอร์ที่ต่อร่วมกันเปลี่ยนแปลงคุณสมบัติ ดังนั้นวงจรกรองความถี่ที่ถูกสร้างขึ้นสามารถปรับค่าคงตัวเวลา (Time constant) ได้อย่างอิสระ ส่งผลทำให้ได้วงจรกรองความถี่แบบบัตเตอร์เวิทต์และแบบเชบีเชฟโดยใช้โครงสร้างวงจรเดียวกัน

2. วงจรอินทีเกรเตอร์ที่นำเสนอ

รูปที่ 1 แสดงวงจรอินทีเกรเตอร์แบบขยายผลต่างที่นำเสนอ วงจรมีการป้อนสัญญาณอินพุต 2 อินพุต (i_{in}^{+} และ i_{in}^{-}) ที่กลับเฟสกันเข้าที่โนด A และโนด B ตามลำดับ ถูกสร้างจากวงจรสะท้อนกระแสที่มีความต้านทานอินพุตต่ำต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวน 2 ชุด ประกอบด้วยทรานซิสเตอร์ M_{N1}-M_{N6} และตัวเก็บประจุไฟฟ้า C_1^{+} และ C_1^{-} ตามลำดับ วงจรมีการป้อนกลับสัญญาณแบบบวกกลับเข้ายังไปอินพุตเพื่อชดเชยการสูญเสียที่เกิดขึ้นในวงจร ได้วงจรอินทีเกรเตอร์เป็นแบบไม่สูญเสีย โดยมีทรานซิสเตอร์ M_{N7} และ M_{N8} ทำหน้าที่สะท้อนกระแสเอาต์พุตของวงจร ได้ฟังก์ชันการถ่ายโอนในโหมดขยายผลต่าง และฟังก์ชันการถ่ายโอนในโหมดร่วม ดังแสดงในสมการที่ (1) และ (2) ตามลำดับ



(a)



(b)

รูปที่ 1 วงจรอินทีเกรเตอร์แบบขยายผลต่าง
(a) วงจรที่นำเสนอ (b) บล็อกไดอะแกรม

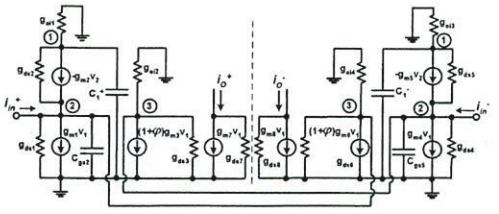
$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{g_m}{sC} \tag{1}$$

$$\frac{i_{out}^{+}+i_{out}^{-}}{i_{in}^{+}+i_{in}^{-}}=\frac{g_m}{sC+2g_m} \tag{2}$$

โดยที่ g_m คือ ค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ M_{N1} มีค่าเท่ากับ $(2\mu C_{OX}\left(\frac{W}{L}\right)_{M_{N1}} I_B)^{\frac{1}{2}}$ และ C คือ ตัวเก็บประจุไฟฟ้ามีขนาดเท่ากับ C_1^{+} และ C_1^{-} ตามลำดับ

จากฟังก์ชันการถ่ายโอนในสมการที่ (1) และ (2) จะเห็นได้ว่ายังไม่ได้พิจารณาผลกระทบตัวเก็บประจุแฝง (C_{gs}) และค่าความนำไฟฟ้าด้านเอาต์พุต (g_{ds}) ของทรานซิสเตอร์ ดังนั้นในหัวข้อนี้จึงได้พิจารณาถึงผลกระทบที่เกิดจากปรสิตดังกล่าว รูปที่ 2 แสดงวงจร

จำลองสัญญาณขนาดเล็กของวงจรอินทีเกรเตอร์เมื่อพิจารณาผลของตัวเก็บประจุแฝง (C_{gs}) และค่าความนำไฟฟ้าด้านเอาต์พุต (g_{ds}) ของทรานซิสเตอร์ เมื่อกำหนดให้ทรานซิสเตอร์ M_{N1} กับ M_{N3} มีขนาดเท่ากัน จากวงจรทำการวิเคราะห์โดยใช้กฎกระแสของเคอร์ชอฟท์ ได้ฟังก์ชันการถ่ายโอนในโหมดขยายผลต่างดังแสดงในสมการที่ (3)



รูปที่ 2 วงจรจำลองสัญญาณขนาดเล็กของวงจรอินทีเกรเตอร์

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{g_m\left(1+\frac{g_{ds}}{g_m}\right)}{sC\left(1+\frac{2g_{ds}}{g_m}+\frac{sC_{gs}}{g_m}\right)+\left(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m}\right)} \quad (3)$$

ในการออกแบบวงจรอินทีเกรเตอร์ หากสามารถทำให้ค่าความนำด้านเอาต์พุตของทรานซิสเตอร์ (g_{ds}) มีค่าต่ำหรือสามารถกำจัดฟังก์ชัน $(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m})$ ในสมการที่ (3) ได้ จะทำให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูงขึ้น ดังนั้นในการออกแบบวงจรอินทีเกรเตอร์จึงได้กำหนดให้อัตราการส่วนของทรานซิสเตอร์ M_{N1} กับM_{N3} ในวงจรสะท้อนกระแสของวงจรในรูปที่ 1 มีอัตราส่วนเป็น 1:1+φ หรือทรานซิสเตอร์ M_{N3} เท่ากับ $(1+\varphi)M_{N1}$ โดยที่ค่า φ ที่เพิ่มเข้าไปในทรานซิสเตอร์ M_{N3} ก็เพื่อชดเชยการสูญเสียเนื่องจากค่าความนำไฟฟ้าด้านเอาต์พุตของวงจรอินทีเกรเตอร์นั้นเอง ส่งผลให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูง ได้ฟังก์ชันการถ่ายโอนในโหมดขยายผลต่างดังแสดงในสมการที่ (4)

$$\frac{i_{out}^{+}-i_{out}^{-}}{i_{in}^{+}-i_{in}^{-}}=\frac{g_m\left(1+\frac{g_{ds}}{g_m}\right)}{sC\left(1+\frac{2g_{ds}}{g_m}+\frac{sC_{gs}}{g_m}\right)+\left(\frac{g_{ds}^2}{g_m}+\frac{g_{ds}sC_{gs}}{g_m}-\varphi g_m\right)} \quad (4)$$

เมื่อ φ คือ ขนาดของทรานซิสเตอร์ที่มีค่าเพิ่มขึ้น จากสมการที่ (4) จะเห็นได้ว่าค่า φg_m ที่เพิ่มขึ้น ทำให้อัตราการขยายของวงจรอินทีเกรเตอร์ที่นำเสนอมีค่าสูงขึ้น ตัวประกอบคุณภาพของวงจรอินทีเกรเตอร์ เป็นปัจจัยหนึ่งที่สามารถบ่งบอกประสิทธิภาพของวงจรอินทีเกรเตอร์ได้ จากฟังก์ชันถ่ายโอนในสมการ (3) และนิยามตัวประกอบคุณภาพ [5] สามารถหาตัวประกอบคุณภาพได้ คือ

$$Q=\frac{\omega C\left(g_m+2g_{ds}\right)}{g_{ds}^2-\varphi g_m^2} \quad (5)$$

เมื่อพิจารณาที่ความถี่ที่ทำให้อัตราขยายมีค่าเท่ากับหนึ่ง จะได้ว่า

$$Q(\omega_T)=\frac{2\left[\mu C_{OX}\frac{W}{L}+\lambda(2\mu C_{OX}\frac{W}{L}I_B)^{\frac{1}{2}}\right]}{\lambda^2 I_B-\varphi(2\mu C_{OX}\frac{W}{L})} \quad (6)$$

เมื่อ λ คือ ค่าคงที่ผลของความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (Channel length modulation coefficient) จากสมการที่ (6) พบว่าตัวประกอบคุณภาพจะมีค่าสูงขึ้นเมื่อค่าเพิ่มขนาดของทรานซิสเตอร์ M_{N3} (φ) นอกจากนี้ตัวประกอบคุณภาพยังเปลี่ยนแปลงขึ้นอยู่กับขนาดของทรานซิสเตอร์ ($\frac{W}{L}$) กระแสไบอัสทรานซิสเตอร์ I_B และขนาดความยาวของช่องทางเดินกระแส (λ) อย่างไรก็ตาม ในการออกแบบวงจรอินทีเกรเตอร์หากตัวประกอบคุณภาพมีค่ามากกว่า 20 ก็เพียงพอที่จะนำไปใช้งานได้ที่ความถี่สูง [5] จากวงจรที่นำเสนอในรูปที่ 1 จะเห็นได้ว่าความต้านทานเอาต์พุตมีค่าเท่ากับ $\frac{1}{g_{ds}}$ ในการออกแบบวงจรอินทีเกรเตอร์สามารถทำให้ความต้านทานเอาต์พุตมีค่าสูงขึ้นได้โดยการใช้เทคนิคการต่อคาสโคดแบบพับ ส่งผลทำให้ความต้านทานเอาต์พุตมีค่าเท่ากับ $\frac{g_m}{g_{ds}^2}$ ดังแสดงในรูปที่ 3

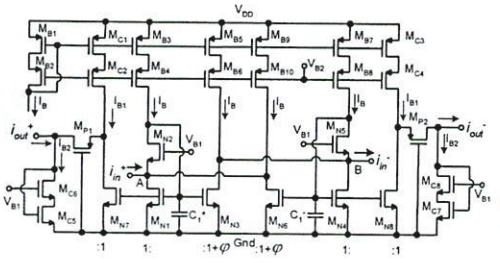
3. การออกแบบวงจรกรองความถี่

วงจรอินทีเกรเตอร์ที่ได้นำเสนอถูกนำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบแอคทีฟโดยใช้วิธีการจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันได โดยใช้โครงสร้างของวงจรกรองความถี่แบบพาสซีพที่มีตัวต้านทานสิ้นสุดคู่เป็นโครงสร้างพื้นฐานในการสังเคราะห์ดังแสดงในรูปที่ 4 เนื่องจากมีค่าความไวของวงจรต่ำและสามารถส่งผ่านกำลังงานได้สูงสุด [13] จากวงจรกรองความถี่แบบพาสซีพ ทำการวิเคราะห์หาความสัมพันธ์ระหว่างกระแสและแรงดัน โดยจัดให้อยู่ในรูปสมการกระแส

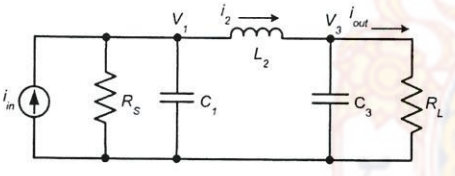
ซึ่งสามารถนำมาออกแบบเป็นวงจรกรองความถี่แบบแอคทีฟได้ ดังแสดงในรูปที่ 5 โดยการแทนฟังก์ชันการถ่ายโอนของวงจรอินทีเกรเตอร์ (C/g_m) ที่ได้ในสมการที่ (1) ลงในสมการกระแสของวงจรกรองความถี่ที่ได้จากการวิเคราะห์วงจรกรองความถี่แบบพาสซีฟ วงจรอินทีเกรเตอร์แต่ละชุดทำหน้าที่เสมือนอุปกรณ์แต่ละตัวในวงจรกรองความถี่พาสซีฟที่เป็นวงจรต้นแบบ เมื่อค่าความจุไฟฟ้าของวงจรอินทีเกรเตอร์ INTi คือ

$$C_i = X_i g_m \qquad (7)$$

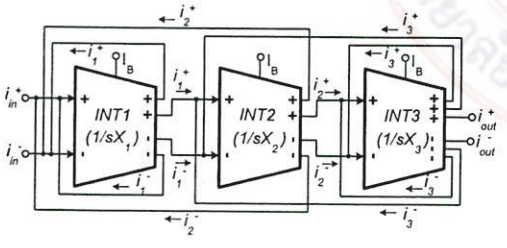
เมื่อ X_i คือ ค่าอุปกรณ์ของวงจรกรองความถี่แบบพาสซีฟ สาขา i



รูปที่ 3 วงจรอินทีเกรเตอร์แบบขยายผลต่างที่มีค่าความต้านทานเอาต์พุตสูง



รูปที่ 4 วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ



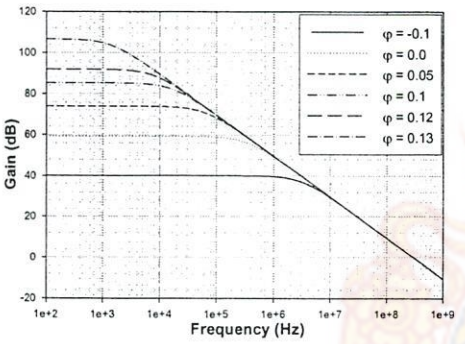
รูปที่ 5 วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟที่ถูกออกแบบจากวงจรอินทีเกรเตอร์ที่นำเสนอ

จากวงจรกรองความถี่แบบพาสซีฟที่แสดงในรูปที่ 4 จะเห็นได้ว่าหากเลือกค่าอุปกรณ์ (ตัวเก็บประจุและขดลวดเหนี่ยวนำ) ที่แตกต่างกันจะทำให้ได้ชนิดของวงจรกรองความถี่ที่แตกต่างกัน บทความนี้จึงได้ออกแบบให้วงจรอินทีเกรเตอร์สามารถปรับค่าทรานคอนดักแตนซ์ได้อย่างอิสระต่อกันด้วยการปรับค่ากระแสไบอัสของวงจรโดยไม่ทำให้ค่าทรานคอนดักแตนซ์ (ค่าคงตัวเวลา) ของวงจรอินทีเกรเตอร์ชุดอื่นเปลี่ยนแปลง ทำให้สามารถปรับค่าคงตัวเวลาของวงจรกรองความถี่แบบแอคทีฟได้อย่างอิสระ การที่วงจรกรองความถี่สามารถปรับค่าคงตัวเวลาของวงจรอินทีเกรเตอร์แต่ละชุดได้อย่างอิสระ ส่งผลให้ได้วงจรกรองความถี่ที่มีคุณสมบัติที่แตกต่างกันในโครงสร้างวงจรเดียวกัน

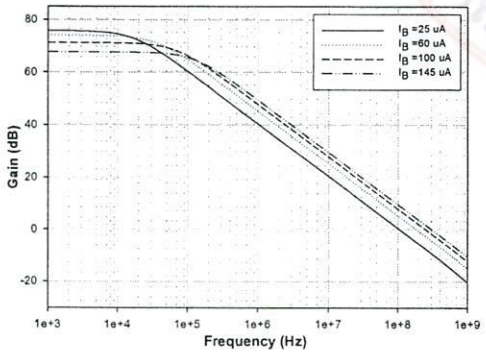
4. ผลการทดลอง

วงจรอินทีเกรเตอร์และวงจรกรองความถี่ที่นำเสนอ ถูกนำมาจำลองการทำงานเพื่อทดสอบประสิทธิภาพภายใต้แหล่งจ่ายแรงดันขนาด 1.5 โวลต์ โดยใช้โปรแกรม H-spice (level 49) ร่วมกับเทคโนโลยีมอสทรานซิสเตอร์ขนาด 0.5 ไมครอน รูปที่ 6 แสดงการตอบสนองความถี่ของวงจรอินทีเกรเตอร์ เมื่อปรับเปลี่ยนอัตราส่วนของทรานซิสเตอร์ $M_{N1} : M_{N3}$ ให้มีค่าเท่ากับ 1 : $(1+\varphi)$ โดยที่กำหนดให้มีการเปลี่ยนแปลง φ ให้มีค่าต่างๆ จะเห็นได้ว่าเมื่อเพิ่มค่า φ ให้มีค่าสูงขึ้น ทำให้อัตราการขยายของวงจรอินทีเกรเตอร์มีค่าสูง เนื่องจากค่ากระแสที่เพิ่มขึ้นจะไปชดเชยการสูญเสียที่เกิดจากค่าความนำไฟฟ้าด้านเอาต์พุต (g_{ds}) ของวงจรอินทีเกรเตอร์ รูปที่ 7 แสดงการตอบสนองความถี่ของวงจรอินทีเกรเตอร์ในโหมดขยายผลต่าง ค่าอัตราขยายของวงจรมีค่าเท่ากับ 70 เดซิเบล ที่กระแสไบอัส 100 ไมโครแอมป์ ในการออกแบบใช้ค่า φ ขนาด 0.05 สามารถปรับจูนความถี่ได้ตั้งแต่ 100-300 เมกะเฮิรตซ์ โดยการปรับกระแสไบอัสระหว่าง 25-145 ไมโครแอมป์ รูปที่ 8 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิทต์กับแบบเชบีเชพที่ความถี่คัตออฟ 100 เมกะเฮิรตซ์ ภายใต้การปรับค่ากระแสไบอัส (หรือค่า g_m) ที่แตกต่างกันโดยอิสระ เมื่อปรับเพิ่มค่ากระแสไบอัสในวงจรอินทีเกรเตอร์ในชุดแรก ($1/sX_1$) และชุดที่สาม ($1/sX_3$) และวงจรอินทีเกรเตอร์ในชุดที่สอง ($1/sX_2$) จะถูกปรับค่าลดลง ทำให้ได้วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์

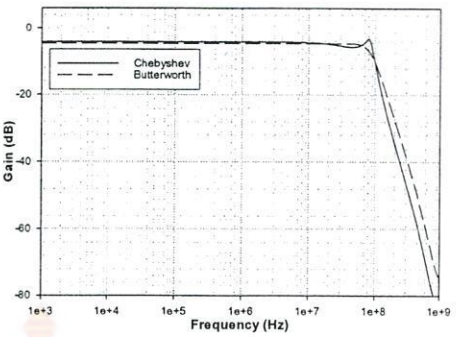
เวิทต์ ในทำนองเดียวกัน วงจรกรองความถี่ต่ำผ่านแบบเชบีเชพได้จากการปรับลดค่ากระแสไบอัสในชุดแรกและชุดที่สามของวงจรอินทีเกรเตอร์ และเพิ่มค่ากระแสไบอัสในวงจรอินทีเกรเตอร์ในชุดที่สองตามลำดับ รูปที่ 9 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิทต์ที่ความถี่คัตออฟ 200 เมกะเฮิรตซ์ วงจรสามารถปรับค่าความถี่คัตออฟได้ตั้งแต่ 92-250 เมกะเฮิรตซ์ ด้วยการปรับค่ากระแสไบอัสวงจรพร้อมๆกัน ตั้งแต่ 30-140 ไมโครแอมป์ รูปที่ 10 แสดงค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่ที่ค่าความถี่และขนาดของสัญญาณกระแสอินพุตค่าต่างๆ ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมที่ได้มีค่าน้อยกว่า 1.0 เปอร์เซ็นต์ เมื่อป้อนอัตราส่วนของสัญญาณกระแสอินพุตต่อกระแสไบอัสมีค่าเท่ากับ 0.6



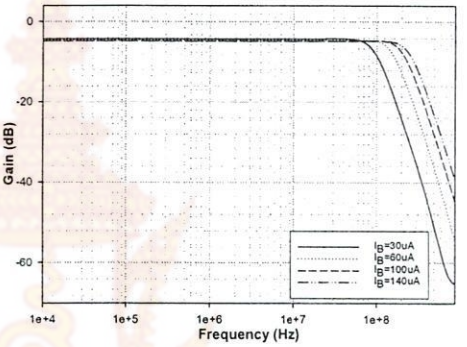
รูปที่ 6 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์เมื่อปรับเปลี่ยนขนาดของทรานซิสเตอร์ M_{N1}:M_{N3} ให้มีค่าเป็น 1: 1+φ



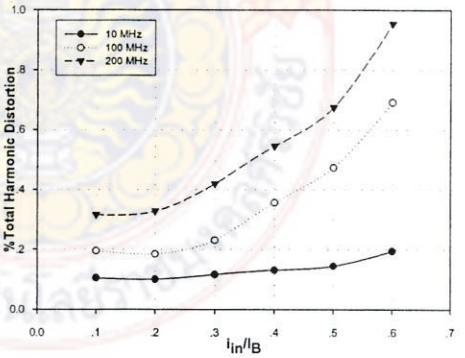
รูปที่ 7 การตอบสนองความถี่ของวงจรอินทีเกรเตอร์แบบขยายผลต่าง เมื่อปรับกระแสไบอัสค่าต่างๆ



รูปที่ 8 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านอันดับที่ 3 แบบบัตเตอร์เวิทต์และแบบเชบีเชพ



รูปที่ 9 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิทต์เมื่อปรับกระแสไบอัสค่าต่างๆ



รูปที่ 10 ค่าความผิดเพี้ยนฮาร์โมนิกส์รวมของวงจรกรองความถี่แบบบัตเตอร์เวิทต์

5. สรุปผล

วงจรกรองความถี่ต่ำผ่านอันดับ 3 แบบแอคทีฟทำงานในโหมดกระแสแบบบัตเตอร์เวิทต์และแบบเชบีเชพ ถูกสร้างมาจากวงจรอินทีเกรเตอร์ที่นำเสนอ ด้วย

วิธีการจำลองการทำงานเลียนแบบวงจรกรองความถี่แบบขั้นบันได วงจรสามารถทำงานได้ที่ความถี่สูงภายใต้แหล่งจ่ายไฟเลี้ยงขนาด 1.5 โวลต์ สามารถปรับจูนความถี่คัตออฟได้ง่ายและสูญเสียกำลังงานต่ำจึงเหมาะสำหรับนำไปใช้งานกับอุปกรณ์ที่ต้องการพลังงานจากแบตเตอรี่ นอกจากนั้นวงจรยังสามารถปรับค่าคงตัวเวลาของวงจรอินทีเกรเตอร์แต่ละชุดได้อย่างอิสระ ส่งผลทำให้มีความอิสระในการออกแบบวงจรกรองความถี่ที่มีคุณสมบัติแตกต่างกันในโครงสร้างวงจรเดียวกัน ดังแสดงให้เห็นในผลการจำลองการทำงานคือ วงจรกรองความถี่แบบบัตเตอร์เวิทต์และแบบเชบีเชฟ

6. เอกสารอ้างอิง

[1] Toumazou, C., Lidgey, F.J. and Haigh, D.G. 1990. Analog IC design: the current-mode approach, Peter Peregrinus, London, U.K.

[2] Korotkov, A.S., Morozov, D.V., Tutyshkin, A.A. and Hauer, H. 2005. Channel filters for microelectronic receivers of wireless systems. Emerging Technologies: Circuits and Systems for 4G Mobile Wireless Communications, June. 23-24, 2005: 24-31.

[3] Minaei, S., Sayin, O.K. and Kuntman, H. 2006. A new CMOS electronically tunable current conveyor and its application to current mode filter. IEEE J. Circuits and Systems, 53: 1448-1457.

[4] Tangsrirat, W., Dumawipata, T., Unhavanich, S. and Surakampotorn, W. 2003. Relization of lowpass and bandpass leapfrog filters using OAs and OTAs. SICE 2003, Aug. 4-6, 2003. 3: 2984-2989.

[5] Lee, S.S., Zele H.R. and Allstot D.J. 1993. CMOS continuous-time Current-Mode Filter for High-frequency Applications. IEEE J. Solid-State Circuits, 28: 323-329.

[6] Zele, R.H., and Allstot, D.J. 1996. Low-power CMOS continuous-time filters. IEEE Journal of Solid-State Circuits, 31: 157-168.

[7] Fujii, N. 1998. High frequency low voltage current mode analog integrable filters. Bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 1998, Sept. 1998: 47-52.

[8] Chul AHN, J. and Fujii, N. 1996. Current-Mode Filters Continuous-Time Filters Using Complementary Current Mirror Pairs. IEICE Trans. Fundamentals, E78-A: 168-175.

[9] Xi Zhu., Yichuang Sun. and Moritz, J. 2007. A 0.18 um CMOS 300MHz Current-Mode LF Seventh-order Linear Phase Filter for Hard Disk Read Channels. IEEE International Symposium on Circuits and Systems, May. 27-30, 2007: 3307-3310.

[10] Galvez-Durand, F. 1996. Low-voltage current-mode filters. IEEE 39th Midwest symposium on Circuits and Systems, 2, Aug. 1996., 2:911-914.

[11] Yang, Z., Hinck, T., Cohen, H.I. and Hubbard, A.E. 2003 Current-mode integrator for voltage-controllable low frequency continuous-time filters. Electronics Letters, 39: 883-884.

[12] Torralba, A., Carvajal, R.G., Galan J. and Ramirez-Angulo, 2003. A New Compact Low-Power High Slew Rate Class AB CMOS Buffer. *ISCAS '03*, May. 2003: I237-I240.

[13] Deliyannis, T., Yichuang, S. and Fidler, J.K. 1999. Cotinuous-Time Active Filter, CRC Press LLC, London, U.K.

กิตติกรรมประกาศ

ผลงานวิชาการนี้ได้รับการสนับสนุนจากคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลศรีวิชัย

ภาคผนวก ง.

รายละเอียดข้อมูลเบอร์อุปกรณ์ที่ใช้ในการทดลอง

MC14007UB

Dual Complementary Pair Plus Inverter

The MC14007UB multi–purpose device consists of three n–channel and three P–channel enhancement mode devices packaged to provide access to each device. These versatile parts are useful in inverter circuits, pulse–shapers, linear amplifiers, high input impedance amplifiers, threshold detectors, transmission gating, and functional gating.

- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low–power TTL Loads or One Low–power Schottky TTL Load Over the Rated Temperature Range
- Pin–for–Pin Replacement for CD4007A or CD4007UB
- This device has 2 outputs without ESD Protection. Anti–static precautions must be taken.

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	−0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient) per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Ambient Temperature Range	−55 to +125	°C
T_{stg}	Storage Temperature Range	−65 to +150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

Maximum Ratings are those values beyond which damage to the device may occur.

Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

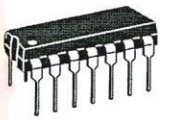
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ON Semiconductor

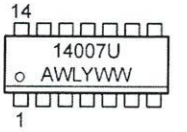
http://onsemi.com

MARKING DIAGRAMS

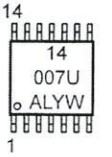


PDIP–14
P SUFFIX
CASE 646

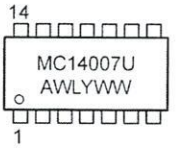
SOIC–14
D SUFFIX
CASE 751A



TSSOP–14
DT SUFFIX
CASE 948G



SOEIAJ–14
F SUFFIX
CASE 965



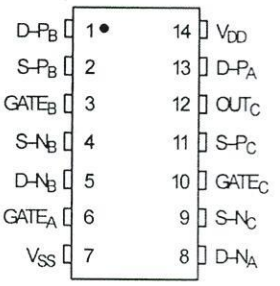
A = Assembly Location
WL or L = Wafer Lot
YY or Y = Year
WW or W = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC14007UBCP	PDIP–14	2000/Box
MC14007UBD	SOIC–14	55/Rail
MC14007UBDR2	SOIC–14	2500/Tape & Reel
MC14007UBDT	TSSOP–14	96/Rail
MC14007UBF	SOEIAJ–14	See Note 1.
MC14007UBFEL	SOEIAJ–14	See Note 1.

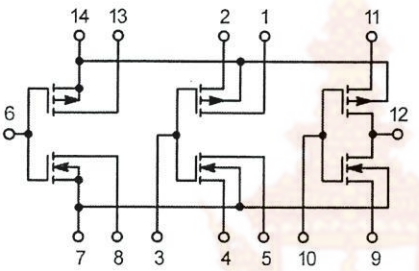
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

PIN ASSIGNMENT

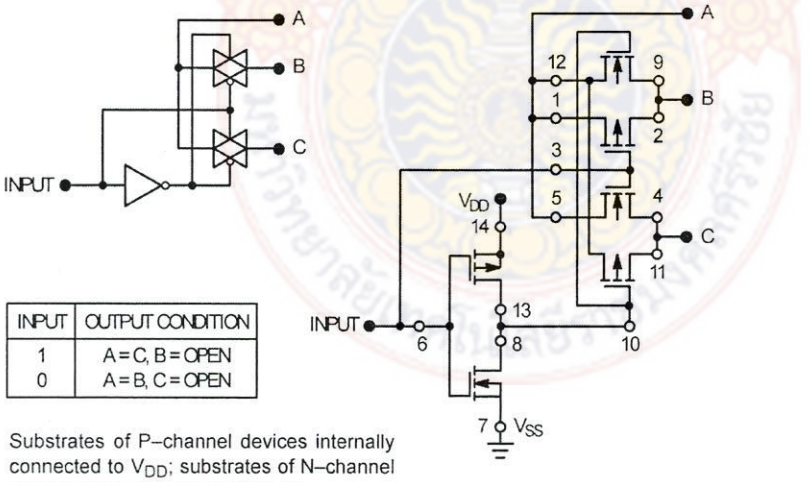


D = DRAIN
S = SOURCE

SCHEMATIC



V_{DD} = PIN 14
V_{SS} = PIN 7



INPUT	OUTPUT CONDITION
1	A = C, B = OPEN
0	A = B, C = OPEN

Substrates of P–channel devices internally connected to V_{DD}; substrates of N–channel devices internally connected to V_{SS}.

Figure 1. Typical Application: 2–Input Analog Multiplexer

LECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ (4.)	25°C Max	125°C Min	125°C Max	Unit
utput Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0 10 15	— — —	0.05 0.05 0.05	— — —	0 0 0	0.05 0.05 0.05	— — —	0.05 0.05 0.05	Vdc
V_{in} = 0 or V_{DD} "1" Level	V_{OH}	5.0 10 15	4.95 9.95 14.95	— — —	4.95 9.95 14.95	5.0 10 15	— — —	4.95 9.95 14.95	— — —	Vdc
put Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc)		5.0	—	1.0	—	2.25	1.0	—	1.0	
(V_O = 9.0 Vdc)		10	—	2.0	—	4.50	2.0	—	2.0	
(V_O = 13.5 Vdc)		15	—	2.5	—	6.75	2.5	—	2.5	
(V_O = 0.5 Vdc) "1" Level	V_{IH}	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
(V_O = 1.0 Vdc)		10	8.0	—	8.0	5.50	—	8.0	—	
(V_O = 1.5 Vdc)		15	12.5	—	12.5	8.25	—	12.5	—	
utput Drive Current	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	– 3.0	—	– 2.4	– 5.0	—	– 1.7	—	
(V_{OH} = 4.6 Vdc)		5.0	– 0.64	—	– 0.51	– 1.0	—	– 0.36	—	
(V_{OH} = 9.5 Vdc)		10	– 1.6	—	– 1.3	– 2.5	—	– 0.9	—	
(V_{OH} = 13.5 Vdc)		15	– 4.2	—	– 3.4	– 10	—	– 2.4	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	1.0	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.5	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	10	—	2.4	—	
put Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µAdc
put Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
uiescent Current (Per Package)	I_{DD}	5.0 10 15	— — —	0.25 0.5 1.0	— — —	0.0005 0.0010 0.0015	0.25 0.5 1.0	— — —	7.5 15 30	µAdc
tal Supply Current (5.) (6.) (Dynamic plus Quiescent, Per Gate) (C_L = 50 pF)	I_T	5.0 10 15	I_T = (0.7 µA/kHz) f + I_{DD}/6 I_T = (1.4 µA/kHz) f + I_{DD}/6 I_T = (2.2 µA/kHz) f + I_{DD}/6							µAdc

Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.
The formulas given are for the typical characteristics only at 25°C.
To calculate total supply current at loads other than 50 pF:

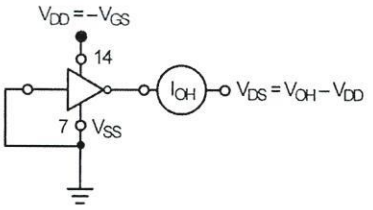
$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

ere: I_T is in µA (per package), C_L in pF, V = (V_{DD} – V_{SS}) in volts, f in kHz is input frequency, and k = 0.003.

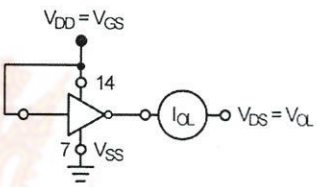
WITCHING CHARACTERISTICS [7.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ [8.]	Max	Unit
utput Rise Time	t_{TLH}					ns
t_{TLH} = (1.2 ns/pF) C_L + 30 ns		5.0	—	90	180	
t_{TLH} = (0.5 ns/pF) C_L + 20 ns		10	—	45	90	
t_{TLH} = (0.4 ns/pF) C_L + 15 ns		15	—	35	70	
utput Fall Time	t_{THL}					ns
t_{THL} = (1.2 ns/pF) C_L + 15 ns		5.0	—	75	150	
t_{THL} = (0.5 ns/pF) C_L + 15 ns		10	—	40	80	
t_{THL} = (0.4 ns/pF) C_L + 10 ns		15	—	30	60	
urn–Off Delay Time	t_{PLH}					ns
t_{PLH} = (1.5 ns/pF) C_L + 35 ns		5.0	—	60	125	
t_{PLH} = (0.2 ns/pF) C_L + 20 ns		10	—	30	75	
t_{PLH} = (0.15 ns/pF) C_L + 17.5 ns		15	—	25	55	
urn–On Delay Time	t_{PHL}					ns
t_{PHL} = (1.0 ns/pF) C_L + 10 ns		5.0	—	60	125	
t_{PHL} = (0.3 ns/pF) C_L + 15 ns		10	—	30	75	
t_{PHL} = (0.2 ns/pF) C_L + 15 ns		15	—	25	55	

The formulas given are for the typical characteristics only. Switching specifications are for device connected as an inverter.
Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.



All unused inputs connected to ground.



All unused inputs connected to ground.

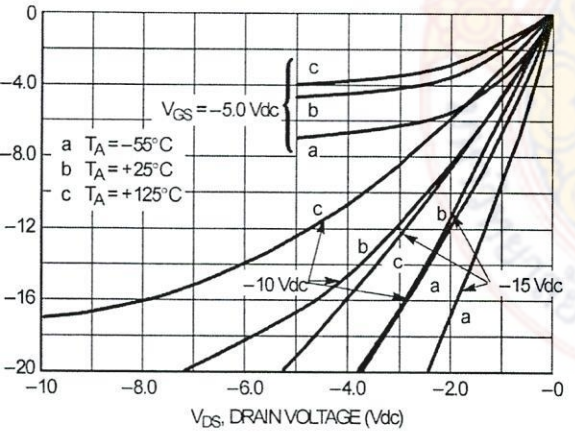


Figure 2. Typical Output Source Characteristics

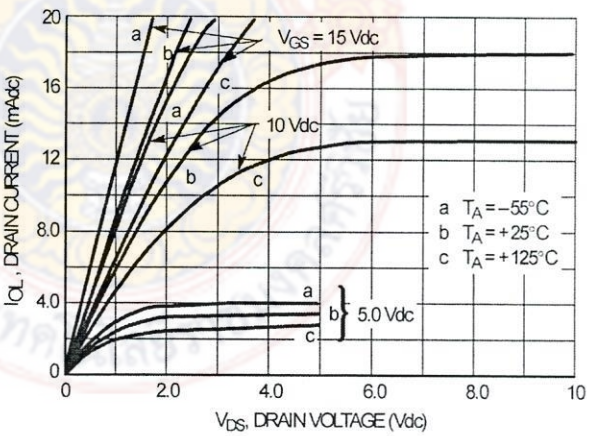


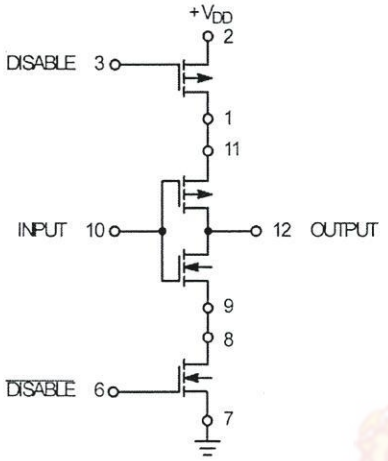
Figure 3. Typical Output Sink Characteristics

These typical curves are not guarantees, but are design aids.
Caution: The maximum current rating is 10 mA per pin.

Figure 4. Switching Time and Power Dissipation Test Circuit and Waveforms

APPLICATIONS

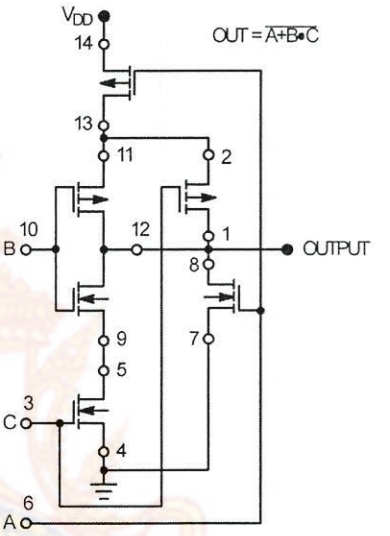
The MC14007UB dual pair plus inverter, which has access to all its elements offers a number of unique circuit applications. Figures 1, 5, and 6 are a few examples of the device flexibility.



INPUT	DISABLE	OUTPUT
1	0	0
0	0	1
X	1	OPEN

X = Don't Care

Figure 5. 3–State Buffer

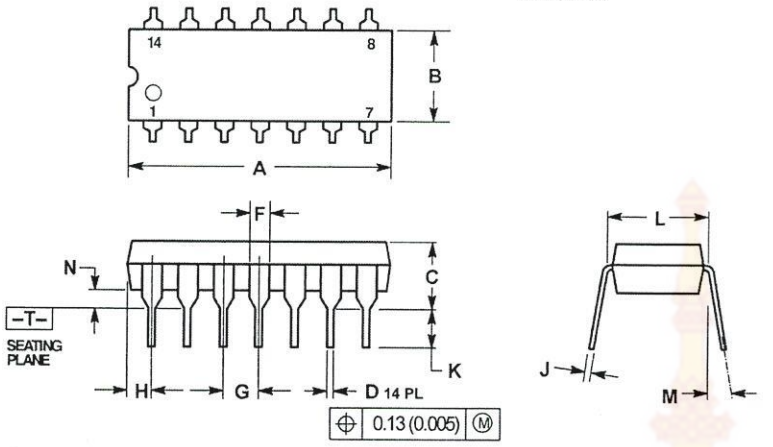


Substrates of P–channel devices internally connected to V_{DD};
Substrates of N–channel devices internally connected to V_{SS}.

Figure 6. AOI Functions Using Tree Logic

PACKAGE DIMENSIONS

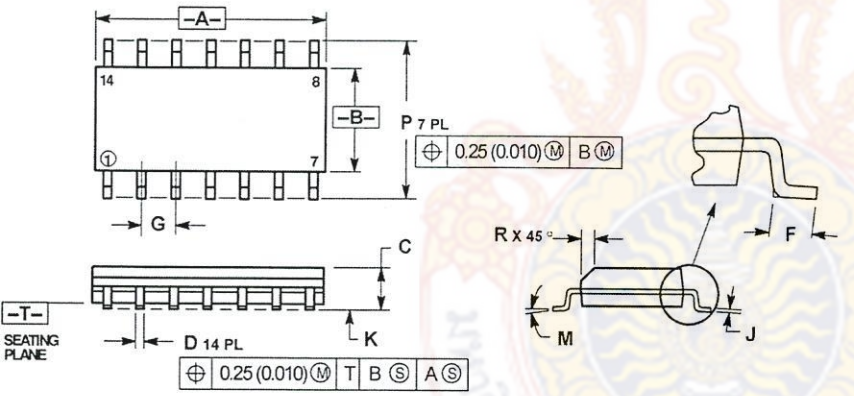
P SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F

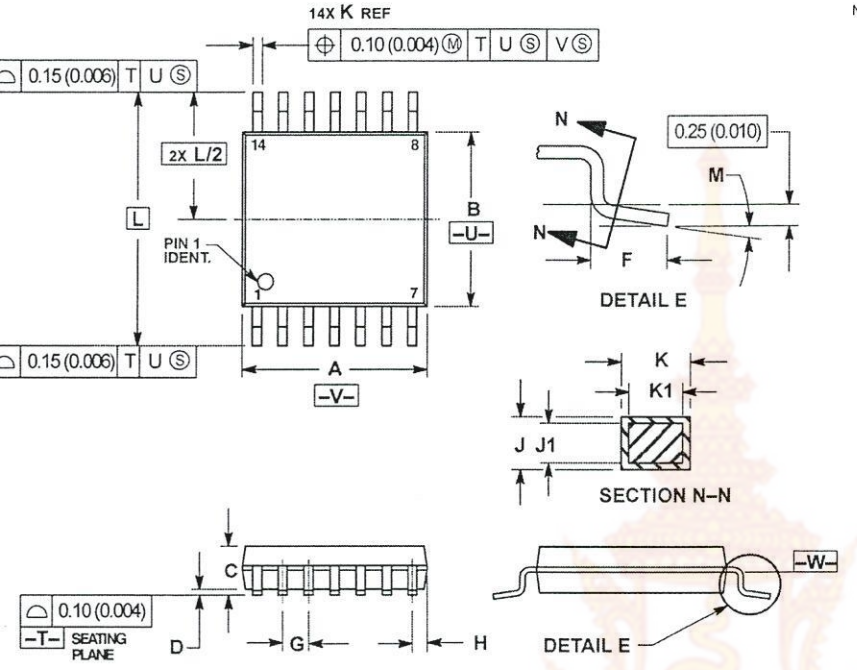


NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

PACKAGE DIMENSIONS

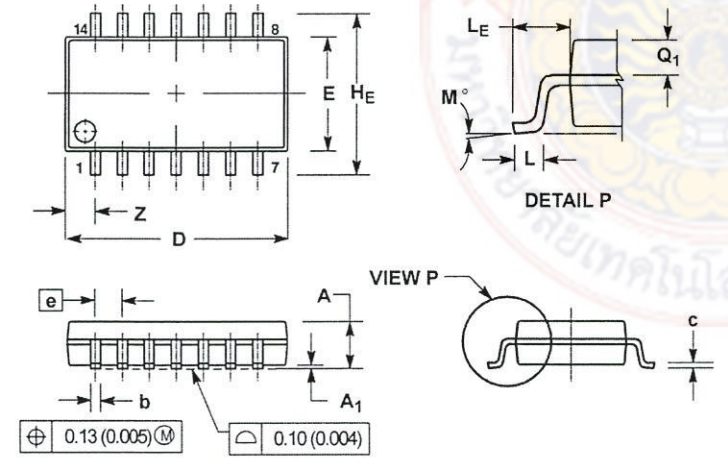
DT SUFFIX
PLASTIC TSSOP PACKAGE
CASE 948G–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE –W–.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

F SUFFIX
PLASTIC EIAJ SOIC PACKAGE
CASE 965–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	—	2.05	—	0.081
A_1	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H_E	7.40	8.20	0.291	0.323
0.50	0.50	0.85	0.020	0.033
L_E	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q_1	0.70	0.90	0.028	0.035
Z	—	1.42	—	0.056

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

BLICATION ORDERING INFORMATION

ORTH AMERICA Literature Fulfillment:
iterature Distribution Center for ON Semiconductor
.O. Box 5163, Denver, Colorado 80217 USA
hone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
ax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
mail: ONlit@hibbertco.com
ax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

American Technical Support: 800–282–9855 Toll Free USA/Canada

JROPE: LDC for ON Semiconductor – European Support
erman **Phone**: (+1) 303–308–7140 (M–F 1:00pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
rench **Phone**: (+1) 303–308–7141 (M–F 1:00pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
nglish **Phone**: (+1) 303–308–7142 (M–F 12:00pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

UROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, England, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5740–2745
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local
Sales Representative.

This datasheet has been downloaded from:

www.DatasheetCatalog.com

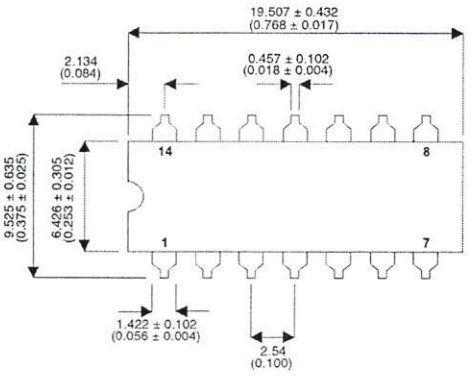
Datasheets for electronic components.

EME
AB

2N7336
IRFG6110

HANICAL DATA
nsions in mm (inches)

14 LEAD DUAL IN LINE QUAD N & P CHANNEL POWER MOSFETS



	N-CHANNEL	P-CHANNEL
BV_{DSS}	±100V	
$I_{D(cont)}$	1A	-0.75A
$R_{DS(on)}$	0.7Ω	1.4Ω

ANNEL	P-CHANNEL	N-CHANNEL	P-CHANNEL
ain 1	5—Gate 2	8—Drain 3	12—Gate 4
urce 1	6—Source 2	9—Source3	13—Source 4
te 1	7—Drain 2	10—Gate 3	14—Drain 4

FEATURES

- AVALANCHE ENERGY RATED
- HERMETICALLY SEALED
- DYNAMIC dv/dt RATING
- SIMPLE DRIVE REQUIREMENTS
- FOR AUTOMATIC INSERTION
- SIMPLE DRIVE REQUIREMENTS
- EASE OF PARALLELING
- 2 N-CHANNEL/2 P-CHANNEL CO-PACKAGED HEXFETS

OLUTE MAXIMUM RATINGS (T_{case} = 25°C unless otherwise stated)		N-CHANNEL	P-CHANNEL
	Gate – Source Voltage	±20V	±20V
	Continuous Drain Current (V_{GS} = 10V , T_{case} = 25°C)	1.A	-0.75A
	Continuous Drain Current (V_{GS} = 10V , T_{case} = 100°C)	0.6A	-0.5A
	Pulsed Drain Current	4A	-3A
	Power Dissipation @ T_{case} = 25°C	1.4W	1.4W
	Linear Derating Factor	0.011W/°C	0.011W/°C
	Single Pulse Avalanche Energy [2]	75mJ	75mJ
	Peak Diode Recovery [3]	5.5V/ns	-5.5V/ns
stg	Operating and Storage Temperature Range	–55 to 150°C	–55 to 150°C
	Thermal Resistance Junction to Case	6.25°C/W	
	Thermal Resistance Junction-to-Ambient	175°C/W	

lse Test: Pulse Width ≤ 300μs, δ ≤ 2%
V_{DD} = 25V , L ≥ 112mH , R_G = 25Ω , Peak I_L = 1A , Starting T_J = 25°C
I_{SD} ≤ 1A , di/dt ≤ 75A/μs , V_{DD} ≤ BV_{DSS} , T_J ≤ 150°C , Suggested R_G = 24Ω

elab plc. Telephone +44(0)1455 556565. Fax +44(0)1455 552612.
E-mail: sales@semelab.co.uk Website: http://www.semelab.co.uk

EME
AB

2N7336
IRFG6110

CTRICAL CHARACTERISTICS FOR N-CHANNEL (T_{amb} = 25°C unless otherwise stated)

	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
	STATIC ELECTRICAL RATINGS						
s	Drain – Source Breakdown Voltage	V_{GS} = 0	I_D = 1mA	100			V
ss	Temperature Coefficient of Breakdown Voltage	Reference to 25°C I_D = 1mA			0.13		V/°C
n)	Static Drain – Source On–State Resistance	V_{GS} = 10V	I_D = 0.6A			0.70	Ω
		V_{GS} = 10V	I_D = 1A			0.80	
h)	Gate Threshold Voltage	V_{DS} = V_{GS}	I_D = 250µA	2		4	V
	Forward Transconductance	V_{DS} ≥ 15V	I_{DS} = 0.60A	0.86			S(℧)
	Zero Gate Voltage Drain Current	V_{GS} = 0	V_{DS} = 0.8V_{DSS}			25	µA
			T_J = 125°C			250	
	Forward Gate – Source Leakage	V_{GS} = 20V				100	nA
	Reverse Gate – Source Leakage	V_{GS} = –20V				–100	
	DYNAMIC CHARACTERISTICS						
	Input Capacitance	V_{GS} = 0			180		pF
	Output Capacitance	V_{DS} = 25V			82		
	Reverse Transfer Capacitance	f = 1MHz			15		
	Total Gate Charge	V_{GS} = 10V	I_D = 1A			15	nC
	Gate – Source Charge	V_{DS} = 0.5V_{DS}				7.5	
	Gate – Drain ("Miller") Charge					7.5	
	Turn–On Delay Time	V_{DD} = 50V I_D = 1A R_G = 24Ω				20	ns
	Rise Time					25	
	Turn–Off Delay Time					40	
	Fall Time					40	
	SOURCE – DRAIN DIODE CHARACTERISTICS						
	Continuous Source Current					1	A
	Pulse Source Current [2]					4	
	Diode Forward Voltage [1]	I_S = 1.0A V_{GS} = 0	T_J = 25°C			1.5	V
	Reverse Recovery Time	I_F = 1A	T_J = 25°C			200	ns
	Reverse Recovery Charge	d_i / d_t ≤ 100A/µs	V_{DD} ≤ 50V			0.83	µC
	Forward Turn–On Time				Negligible		
	PACKAGE CHARACTERISTICS						
	Internal Drain Inductance (from centre of drain pad to die)				4.0		nH
	Internal Source Inductance (from centre of source pad to end of source bond wire)				6.0		

s

ılse Test: Pulse Width ≤ 300µs, δ ≤ 2%

epetitive Rating – Pulse width limited by maximum junction temperature.

elab plc. Telephone +44(0)1455 556565. Fax +44(0)1455 552612.
E-mail: sales@semelab.co.uk Website: http://www.semelab.co.uk

EME
AB

2N7336
IRFG6110

CTRICAL CHARACTERISTICS FOR P-CHANNEL (T_{amb} = 25°C unless otherwise stated)

	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
	STATIC ELECTRICAL RATINGS					
s	Drain – Source Breakdown Voltage	V_{GS} = 0 I_D = –1mA	–100			V
ss	Temperature Coefficient of Breakdown Voltage	Reference to 25°C, I_D = –1mA		0.098		V/°C
n)	Static Drain – Source On–State Resistance [1]	V_{GS} = –10V I_D = –0.50A			1.4	Ω
		V_{GS} = –10V I_D = –0.75A			1.73	
n)	Gate Threshold Voltage [1]	V_{DS} = V_{GS} I_D = –250µA	–2		–4	V
	Forward Transconductance	V_{DS} ≥ –15V I_{DS} = –0.50A	0.67			S(℧)
	Zero Gate Voltage Drain Current	V_{GS} = 0 V_{DS} = 0.8V_{DSS}			–25	µA
		T_J = 125°C			–250	
	Forward Gate – Source Leakage	V_{GS} = -20V			–100	nA
	Reverse Gate – Source Leakage	V_{GS} = 20V			–100	
	DYNAMIC CHARACTERISTICS					
	Input Capacitance	V_{GS} = 0		200		pF
	Output Capacitance	V_{DS} = –25V		85		
	Reverse Transfer Capacitance	f = 1MHz		30		
	Total Gate Charge	V_{GS} = –10V I_D = –0.75A			15	nC
	Gate – Source Charge	V_{DS} = 0.5V_{DS}			7	
	Gate – Drain ("Miller") Charge				8	
	Turn–On Delay Time	V_{DD} = –50V			30	ns
	Rise Time	I_D = –0.75A			60	
	Turn–Off Delay Time	R_G = 24Ω			40	
	Fall Time				40	
	SOURCE – DRAIN DIODE CHARACTERISTICS					
	Continuous Source Current				–0.75	A
	Pulse Source Current [2]				–3	
	Diode Forward Voltage	I_S = –0.75A T_J = 25°C, V_{GS} = 0			–5.5	V
	Reverse Recovery Time	I_F = –0.75A T_J = 25°C			200	ns
	Reverse Recovery Charge	d_i / d_t ≤ 100A/µs V_{DD} ≤ –50V			90	µC
	Forward Turn–On Time			Negligible		
	PACKAGE CHARACTERISTICS					
	Internal Drain Inductance (from centre of drain pad to die)			4.0		nH
	Internal Source Inductance (from centre of source pad to end of source bond wire)			6.0		

lse Test: Pulse Width ≤ 300µs, δ ≤ 2%

petitive Rating – Pulse width limited by maximum junction temperature.

elab plc. Telephone +44(0)1455 556565. Fax +44(0)1455 552612.
E-mail: sales@semelab.co.uk Website: http://www.semelab.co.uk